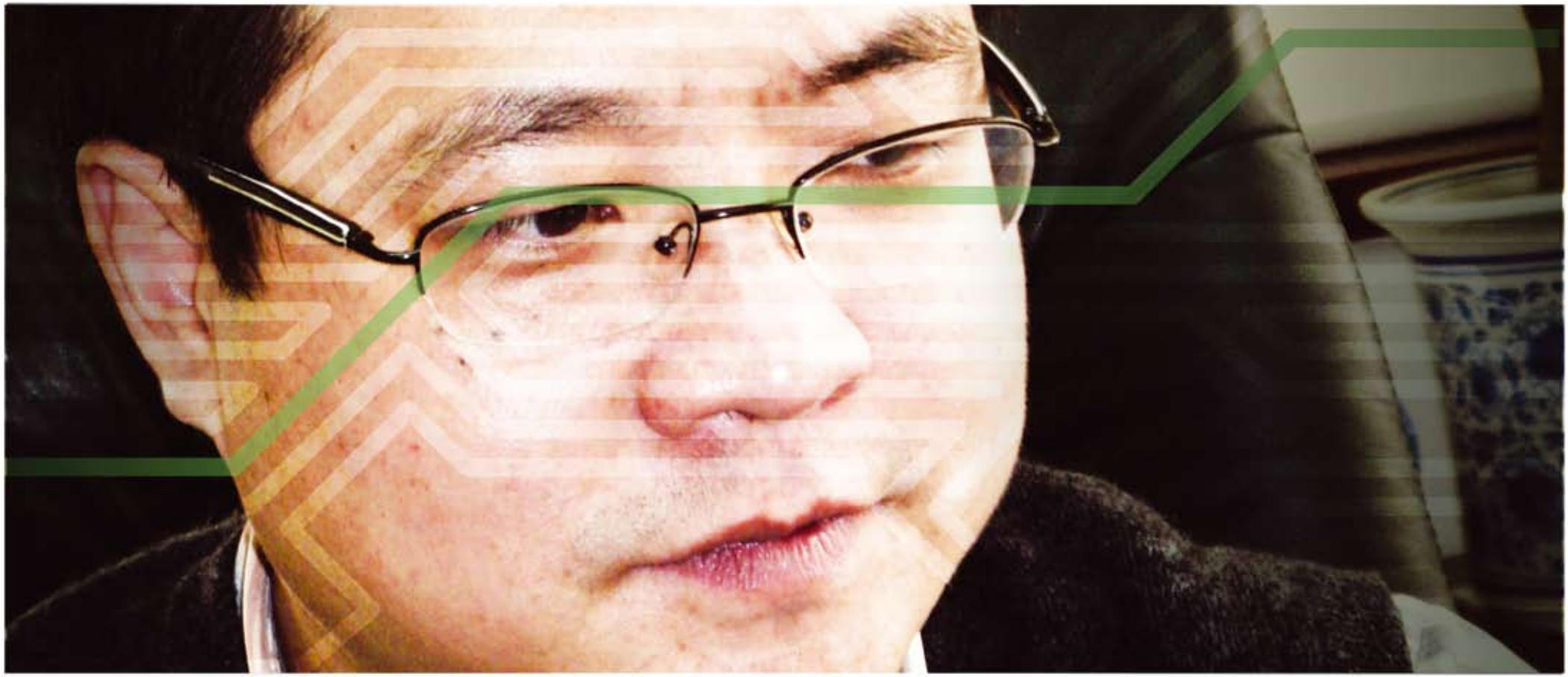
Мы производим 35 млн. печатных плат в год.
Мы воспринимаем это как признание.

Jack Kei, Руководитель Группы Управления производством, Китай. Каждодневным трудом он вместе со своей командой гарантирует, что наши обещания становятся действительностью.



NCAB GROUP
Integrated PCB Production

Количество – это не всегда означает качество, но часто это может оцениваться как признание. Путь, который мы проделали чтобы стать важным глобальным игроком, даёт главные преимущества для Вас как для потребителя. Мы можем предложить самые лучшие условия соотношения точности поставки, гибкости и общей стоимости. Вот почему 35 миллионов печатных плат ежегодно – это не только количество. Это свидетельство того, что мы уже сегодня достигли статуса интегрированного производителя для многих лидирующих европейских изготовителей электроники. Мы их Ключевой Компонент.

www.ncabgroup.com **Your Key Component™**

НОВАЯ АРХИТЕКТУРА ЦПОС С ИЗМЕНЯЕМОЙ РАЗРЯДНОСТЬЮ

СУХЕЛ ДАНАНИ (SUHEL DHANANI), Altera Corp.

При переходе к изготовлению ПЛИС по 28-нм технологии компания Altera первой в отрасли предложила пользователям ЦПОС-архитектуру с настраиваемой разрядностью. Эта архитектура позволяет подстраивать разрядность каждого отдельного ЦПОС-блока под требования конкретного алгоритма. В статье рассматриваются отличительные черты и возможности, реализуемые за счет такой архитектуры.

Направление развития электроники для коммуникаций определяется двумя основными тенденциями — ростом скорости передачи данных (в основном, в мобильных устройствах) и увеличением размеров кадра обрабатываемой видеоинформации. Обе эти тенденции взаимосвязаны, т.к. именно передача видео требует всё большей скорости передачи. Исследования компании Cisco показывают, что, скорее всего, к 2012 г. до 90% интернет-трафика будет составлять передача видео в различных форматах.

В свою очередь, рост скорости передачи требует повышения быстродействия и разрядности блоков обработки. Причём, это повышение необходимо обеспечивать при тех же (или даже меньших) значениях потребляемой мощности и стоимости аппаратуры.

Очень показательной в этом плане является обработка видеосигнала. Мы видели, как развивалась инфраструктура распространения видеоинформации для обеспечения работы как с видео стандартного (SD), так и высокого разрешения (HD), а сейчас и объёмного видеоизображения формата 4K. По мере перехода от одного стандарта к другому меняется и количество пикселов в кадре, и глубина цвета (т.е. количество бит, необходимых для передачи цвета пиксела), что позволяет улучшить качество изображения.

Из рисунка 1 видно, что при переходе от видео стандартного разрешения к 4K количество обрабатываемых пикселов в кадре повышается в 25 раз, не говоря уже об увеличивающейся глубине цвета.

Аналогичные тенденции наблюдаются и при переходе к новым стандартам беспроводной связи, которые создаются для удовлетворения спроса на расширенную полосу пропускания мобильных устройств.

Например, при переходе от стандартов 3G к стандартам 4-го поколения LTE и LTE Advanced в базовых станциях начинают использовать больше антенн (от 2X2XMIMO до 4X4XMIMO), более высокие частоты и большее количество каналов связи, чтобы обеспечить 10-кратное увеличение скорости передачи. Всё это приводит к необходимости скачкообразного повышения производительности цифровых процессоров обработки сигналов (ЦПОС) — вплоть до 200 раз (см. рис. 2).

Точно так же растут требования и к разрядности ЦПОС. Например, переход от SD-видео к 2K/4K требует перехода от операций умножения 9×9 к умножению 16×16, а многоканальная передача сигнала в системах LTE — обработки 18-разрядных чисел на протяжении всего времени работы алгоритма. Обработка видеосигнала в военных радиолокаторах очень часто требует перехода от обработки чисел с фиксированной запятой к работе с числами с плавающей запятой.

Высокоскоростные алгоритмы цифровой обработки обычно реализуются с различной, причём часто превышающей 18 бит, разрядностью. При этом требования к ней меняются не только от устройства к устройству, но и зачастую в пределах одного проекта на разных стадиях обработки сигнала — КИХ-фильтрации, БПФ, обнаружения сигнала, адаптивной обработки и т.д.

Традиционная архитектура ЦПОС для реализации в составе ПЛИС имеет фиксированную разрядность — 18×18 для ПЛИС Altera и 18×25 для ПЛИС Xilinx. Если требуется отличная от этих значений разрядность, то либо неэффективно используются ресурсы блока (разрядность меньше типо-

Рис. 1. **Переход от видео стандартного разрешения к 4K**

Рис. 2. **Переход от 3G к LTE Advanced**

вой), либо требуется дополнительная внешняя логика или несколько блоков в ПЛИС. В любом случае используется дополнительное «железо», что отрицательно сказывается на потребляемой мощности и конечной стоимости устройства.

Например, в большинстве случаев цвет в видеосигнале передаётся словами с разрядностью 9–12 бит на цвет, что требует использования при обработке умножителей 9×9 или 12×12. Если же разрядность используемых ЦПОС-блоков составляет 18×25 бит, то реализация алгоритмов обработки на их основе приведёт к тому, что более половины вычислительных возможностей таких блоков пропадёт впустую.

Следовательно, от архитектуры ЦПОС требуется возможность изменения разрядности для подстройки под нужды конкретного приложения (см. рис. 3).

Кроме того, как уже отмечалось, требования к разрядности могут меняться даже на протяжении одного процесса обработки в результате роста требований к точности при увеличении количества каскадов фильтрации или динамического диапазона БПФ. Следовательно, для обеспечения возможности использования ПЛИС в любых, в т.ч. не существующих пока устройствах, разрядность ЦПОС должна задаваться на уровне отдельного ЦПОС-блока, а не всей ПЛИС в целом.

РЕАЛИЗАЦИЯ ЦПОС С ИЗМЕНЯЕМОЙ РАЗРЯДНОСТЬЮ НА БАЗЕ 28-НМ ПЛИС

При переходе к изготовлению ПЛИС по 28-нм технологии компания Altera первой в отрасли предложила пользователям ЦПОС-архитектуру с настраиваемой разрядностью. Эта архитектура позволяет подстраивать разрядность каждого отдельного ЦПОС-блока под требования конкретного алгоритма — от 9×9 для обработки видео стандартного разрешения до работы с числами с плавающей запятой в РЛС для военных. При этом возможны почти любые промежуточные значения разрядности.

Ещё раз подчеркнём, что каждый ЦПОС-блок настраивается отдельно, что позволяет наиболее эффективно использовать ресурсы ПЛИС на всех этапах цифровой обработки сигнала.

«Сердцем» новой архитектуры является ЦПОС-блок с переменной разрядностью, который может быть сконфигурирован для работы в двух базовых режимах— с 18-разрядной или более высокой точностью, как показано на рисунке 4. В 18-бит режиме в блоке реализуются два 18-бит умножителя, а в режиме высокой точности — один 27-бит.

Возможность изменения разрядности является уникальной отличительной чертой данной архитектуры, позволяя на всём протяжении процесса обработки использовать процессоры необходимой точности. При этом каждый из таких ЦПОС-блоков в пределах базовых вариантов может поддерживать различные режимы, перечисленные в таблице 1.

Каждый настраиваемый блок может каскадироваться с другими для расширения диапазона возможных разрядностей. Каскадирование производится посредством 64-бит шины, что превышает максимальную разрядность единичного блока (27×27), в результате чего операции с комплексными числами и одновременная работа с несколькими операндами могут выполняться без использования дополнительной внешней логики. В таблице 2 приведены варианты разрядности, которые могут быть получены при каскадировании нескольких ЦПОС-блоков.

ЗАКЛЮЧЕНИЕ

ПЛИС с блоками ЦПОС с настраиваемой разрядностью являются единственными программируемыми устройствами, которые могут эффективно поддерживать выполнение столь разнородных задач вплоть до работы с числами с плавающей запятой. Такая архитектура позволяет осуществить переход к новому поколению высокоточных и высокопроизводительных устройств цифровой обработки сигналов. Реализованная в серии ПЛИС Stratix V, она позволила в

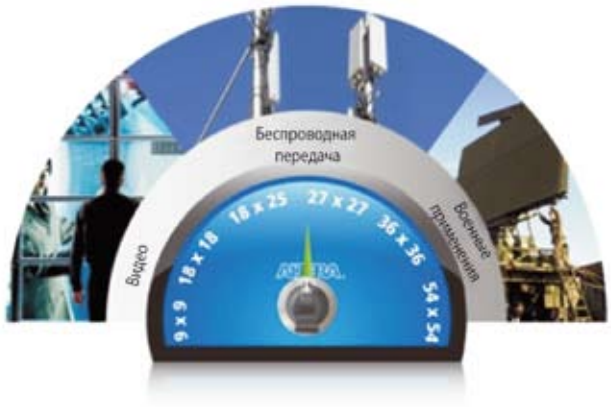


Рис. 3. **Возможность изменения разрядности ЦПОС**

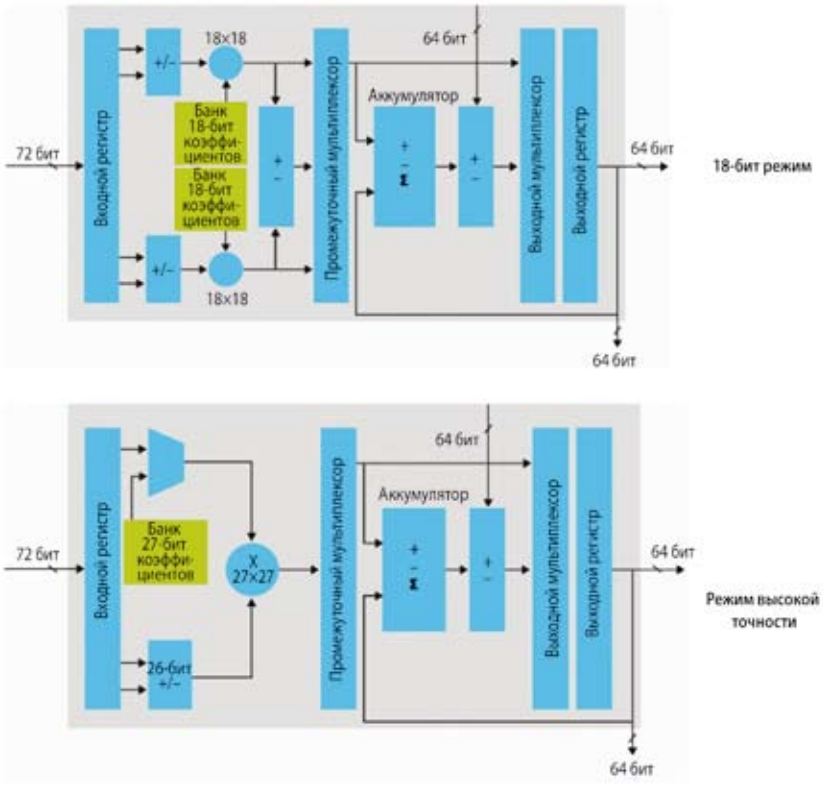


Рис. 4.

Таблица 1. **Диапазон разрядностей, поддерживаемых отдельным ЦПОС-блоком**

Режим ЦПОС	Обрабатываемые данные
Три независимых умножителя 9×9	Низкой точности с фикс. запятой
Два умножителя 18×18 с суммированием результата	Средней точности с фикс. запятой
Два независимых умножителя 18×18 в 32-бит режиме	
Один блок 18×25 или 18×36	Высокой точности с фикс. запятой
Один блок 27×27	Высокой точности с фикс. запятой или плавающей запятой одинарной точности

Таблица 2. **Перечень разрядностей, получаемых при каскадировании ЦПОС-блоков**

Режим умножения	Кол-во задействованных блоков	Приложения
Один независимый 36×36	Два ЦПОС-блока	Сверхвысокой точности с фикс. запятой
Один независимый 54×54	Четыре ЦПОС-блока	С плавающей запятой двойной точности
Умножение комплексных чисел 18×18	Два ЦПОС-блока	Оптимизированное по задействованным ресурсам БПФ
Умножение комплексных чисел 18×25	Три ЦПОС-блока	БПФ с учётом нарастания разрядности
Умножение комплексных чисел 18×36	Четыре ЦПОС-блока	Полномасштабные участки алгоритма БПФ
Комплексное умножение 27×27		БПФ над рядами чисел с плавающей запятой с одинарной точностью

единственном ЦПОС-блоке выполнять умножение чисел с разрядностью вплоть до 27 бит, что обеспечило возможность не только работать с числами с фиксированной запятой высокой точности, но и получить высокоэффективный обработчик чисел с плавающей запятой.

Настраиваемая разрядность позволяет разработчику точно подстроить архитектуру ЦПОС под нужды приложения в полном соответствии с требованиями алгоритма обработки, в то время как обычно всё происходит наоборот, т.е. алгоритм подстраивается под существующую структуру ЦПОС. Мало того, наличие в ПЛИС 64-разрядной шины каскадирования и такого же аккумулятора позволяет без дополнительных затрат использовать ту же ПЛИС, если задача требует дальнейшего увеличения разрядности, что реализуется каскадированием ЦПОС-блоков.

В результате высочайшая гибкость этой архитектуры увеличивает производительность системы в целом и существенно смягчает ограничения, налагаемые ею на разработчиков алгоритмов обработки.