

Тестопригодное проектирование и сравнительные характеристики внутрисхемного тестирования ИСТ

Ами Городецкий, к.т.н., гл. технолог, JTAG.TEST, amigo@jtag-test.ru
 Леонид Курилан, ген. директор, JTAG.TEST, leo@jtag-test.ru

В шестнадцатой статье цикла «Основы технологии граничного сканирования и тестопригодного проектирования» анализируются принципы тестопригодного проектирования для внутрисхемного тестирования печатных плат, известного как ИСТ (In-Circuit Test), и приводятся сравнительные характеристики применения этой методики тестирования.

*И тот, кто шел со мной,
 Пусть поспешит немного...*
 А. Макаревич

В предыдущей, пятнадцатой статье цикла обсуждались основы технологии внутрисхемного тестирования (In-Circuit Testing, ИСТ), предполагающей в виде неперемного условия наличие физического доступа ко внутренним цепям тестируемой печатной платы (ПП), осуществляемого при помощи контактных иглол, прижимаемых адаптером тестера к поверхности ПП. Реализация такого доступа на практике во времена, когда все или большинство ИС монтировались на ПП штыревым монтажом, плотность монтажа компонентов была невысокой, а сам монтаж выполнялся только с одной стороны ПП, представлялась само собой разумеющейся и не требующей специального внимания или усилий. Контактные площадки для иглол ИСТ размещались довольно свободно, в качестве таких площадок использовались также переходные отверстия штыревого монтажа. Однако с увеличением плотности монтажа компонентов с обеих сторон ПП, с переходом на технологии поверхностного монтажа (SMT) и при широком применении ИС в корпусах высокой степени интеграции весьма актуальными стали принципы тестопригодного проектирования ПП как в отношении структур принципиальных схем, так и в плане физического размещения на обеих поверхностях ПП контактных площадок для иглол ИСТ.

Тестопригодное проектирование схем для внутрисхемного тестирования ИСТ предполагает соблюдение за-

метно меньшего количества правил, нежели тестопригодное проектирование схем для применения технологий граничного сканирования JTAG [1], и правила эти довольно просты. На рисунках 1 и 2 слева, к примеру, показаны нерекондуемые способы подключения цепей запирающего кварца (см. рис. 1а) или любой ИС, а справа — рекомендуемые, где зеленой точкой обозначены места размещения контактных площадок ИСТ. Понятно, что отсутствие резисторов «на массу» на рисунках слева не позволяет разместить в соответствующих цепях контактные площадки ИСТ без риска повредить выходные каскады управления иглолками, т.е. резисторы играют в этом случае роль защиты тестера ИСТ. Нет необходимости, вероятно, напоминать, что отсутствие возможности блокировки внутрисхемных генераторов частот создает хаос при тестировании и способно сделать жизнь тест-инженера невыносимой!

Конфигурация, показанная на рисунке 3а, также неприемлема, а показанная на рисунке 3б, наоборот, рекомендуема, поскольку для построения гибкой программы тестирования ИСТ может потребоваться отдельное и независимое управление запирающим отдельными ИС. При тестопригодном проектировании вообще неприемлемо прямое подключение таких входов ИС, как Set, Reset, CE, OE и т.д. напрямую, без резисторов, к цепям питания или «земли».

Аналогичным образом, контактные площадки ИСТ размещаются в любых схемных цепях, предназначенных для сброса отдельных ИС или узлов в исходное состояние, снабжае-

мых резисторами. Неиспользуемые входы ИС также следует подключать к тому или иному логическому уровню через резисторы и размещать на них, а также на неиспользуемых выходах, контактные площадки ИСТ. Это позволяет обнаружить дефекты монтажа на неиспользуемых входах и выходах ИС, которые могут препятствовать исправной работе ПП. Следует также обращать внимание на размещение контактных площадок ИСТ в цепях, разрывающих локальные и глобальные обратные связи в тестируемых

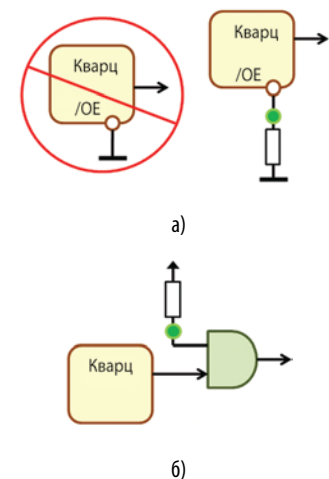


Рис. 1. Запирание кварца

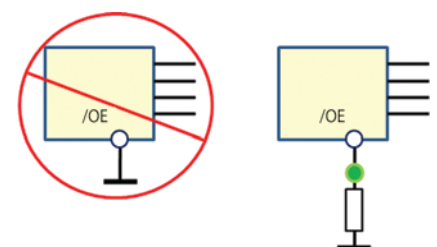


Рис. 2. Запирание ИС

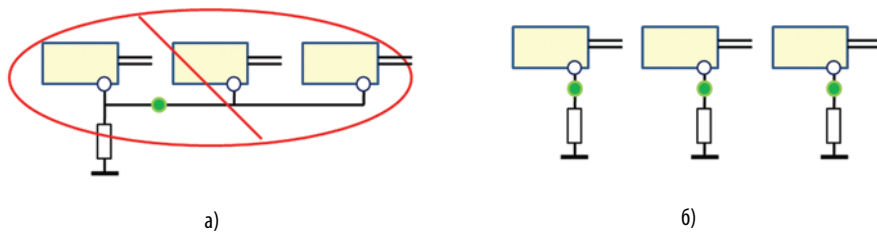


Рис. 3. Разделение цепей запитания

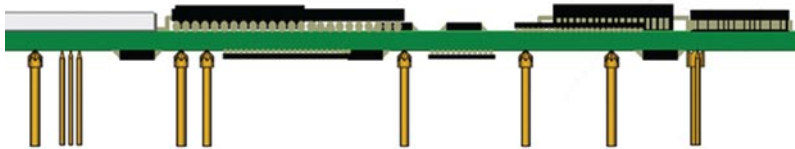


Рис. 4. Контактные иголки снизу платы

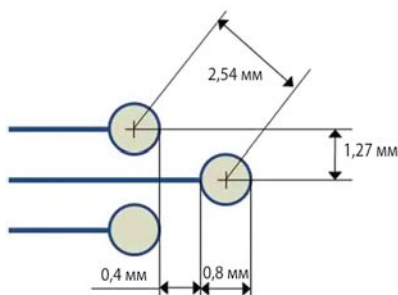


Рис. 5. Средние размеры и позиционирование контактных площадок ИСТ

схемах, использование которых обычно только усложняет построение и отладку программ тестирования.

Важным фактором построения эффективной программы ИСТ-тестирования является возможность блокирования влияния сложных ИС, для тестирования которых может даже не оказаться соответствующих моделей в библиотеке тестера. Следует помнить, что всего одна ИС, влияние которой на схему ПП не может быть заблокировано при ИСТ-тестировании из-за отсутствия контактных площадок ИСТ в соответствующих цепях, может обусловить невозможность разработки эффективного и устойчивого теста для всей ПП вообще.

При необходимости достижения максимально возможного уровня тестового покрытия ПП зачастую применяется сочетание двух методов тестирования — вначале тестирование

ИСТ, а затем — тестирование JTAG [2]. Иногда некоторые тесты JTAG выполняются на тестере ИСТ, но даже если этого не происходит, все цепи JTAG (TDI, TDO, TMS, TCK, /TRST) должны быть снабжены контактными площадками ИСТ. Это делается для того, чтобы еще до включения питания ПП проверить правильность монтажа многочисленных резисторов в этих цепях [1], активизировать и проверить целостность JTAG-цепочки, а также, при возможности, перевести ИС JTAG, поддерживающие команды HIGHZ и SAMPLE/PRELOAD [3], в соответствующие состояния для обеспечения выполнения тестов окружающих их компонентов.

От схемных методов обеспечения тестопригодности для ИСТ перейдем к основным эмпирическим правилам размещения контактных площадок на ПП. Прежде всего, для надежного размещения ПП на игольчатом адаптере плата должна иметь не менее трех отверстий для направляющих штырей, два из которых следует располагать диагонально. Диаметр таких отверстий обычно не менее 3,25 мм (0,128 дюйма) с точностью сверловки ± 50 мк. Межцентровое расстояние таких отверстий — не менее 0,05 мм (0,002 дюйма). Отверстия необходимо оставлять свободными от всякого покрытия, не загораживать их монтируемыми компонентами и предот-

вращать попадание в них припоя. Расстояние от края направляющего отверстия до края ПП — не менее 3,18 мм (0,125 дюйма), а до ближайшей контактной площадки ИСТ — не менее 5 мм (0,2 дюйма).

Контактные площадки ИСТ можно, разумеется, размещать с обеих сторон ПП, и их также нужно оставлять свободными от всякого покрытия. Следует, однако, отдавать предпочтение их размещению снизу ПП (см. рис. 4), поскольку изготовление игольчатых адаптеров для двустороннего доступа обходится в 1,5–2 раза дороже из-за сложности изготовления и настройки устройства верхнего доступа [4]. Контактные площадки выполняются круглыми или квадратными (что предпочтительнее с точки зрения надежности обеспечения их контакта с иголками), а их минимальные размеры определяются типом иголок, планируемых для обеспечения контакта на этих площадках. Усредненные размеры площадок (не в масштабе!) приведены на рисунке 5, а соответствующие размеры для некоторых типов контактных иголок показаны в таблице 1.

Межцентровые расстояния могут быть значительно меньше показанных на рисунке 5, что зависит от типа иголок адаптера для соответствующих площадок. При межцентровом расстоянии более 2,16 мм (0,085 дюйма) могут применяться иголки в технологии 100 mil (0,1 дюйма); равном 2,16 мм — иголки в технологии 75 mil (0,75 дюйма); а если это расстояние находится в пределах от 1,27 мм (0,05 дюйма) до 1,8 мм (0,07 дюйма), то могут применяться иголки в технологии 50 mil (0,05 дюйма). Следует иметь в виду, что стоимость контактных иголок ИСТ обратно пропорциональна их диаметру, а надежность и долговечность иголок большого диаметра заметно выше аналогичных параметров тонких иголок.

Выбор приемлемого диаметра контактной площадки ИСТ и, соответственно, типа иголки адаптера для определенной цепи зависит от целого ряда факторов. Одним из них является соседство местоположения контактной площадки с тем или иным компонентом на поверхности ПП. Существует определенная зависимость между высотой компонента поверхностного монтажа (SMD) и минимально допустимым зазором между

Таблица 1. Размеры некоторых типов контактных иголок

Размер (диаметр) иголки	Диаметр контактной площадки	Межцентровое расстояние
2,54 мм (0,1 дюйма)	1,75 мм (0,0689 дюйма)	> 2,1 мм (0,084 дюйма)
1,9 мм (0,075 дюйма)	1,4 мм (0,055 дюйма)	> 1,78 мм (0,070 дюйма)
1,27 мм (0,05 дюйма)	0,95 мм (0,0375 дюйма)	> 1,24 мм (0,049 дюйма)

ним и центром контактной площадки ИСТ. Примеры такой зависимости приведены в таблице 2. В любом случае, расстояние от края контактной площадки ИСТ до ближайшей точки соседнего компонента должно быть не менее 1,3 мм (0,05 дюйма).

Использование выводов SMD-компонентов в качестве контактных площадок ИСТ считается совершенно неприемлемым, так как непременно приводит к повреждению выводов ИС при тестировании. В ряде случаев в качестве контактных площадок можно использовать переходные отверстия ПП, диаметр которых вынужденно увеличивается при этом почти до 1 мм (0,04 дюйма), при этом радиус свободного окружающего пространства вокруг них должен составлять по возможности 2,54 мм, но не менее 1,9 мм. Переходные отверстия, планируемые к использованию в качестве контактных площадок ИСТ, должны быть помечены на схеме как контрольные точки, и при монтаже ПП их следует заполнять припоем, т.е. они должны быть свободны от изолирующих покрытий.

Размещение контактных площадок ИСТ по поверхности ПП должно быть как можно более равномерным, с плотностью не более восьми площадок на 1 см². Неравномерное размещение площадок может послужить причиной изгибов ПП и значительных механических напряжений при вакуумном прижиге ПП к игольчатому адаптеру, что может привести к повреждению ПП и обусловить отсутствие контакта с некоторыми иголками. Из этого требования, в частности, следует, что нужно быть очень осторожным с использованием контактов штыревого монтажа краевого разъема в качестве контактных площадок ИСТ, поскольку это может создать чрезмерные локальные механические напряжения ПП при тестировании.

Высокая концентрация иголок ИСТ под ИС BGA (см. рис. 4) также может представлять собой источник избыточных механических напряжений. Из-за высокой плотности размещения контактных площадок или переходных отверстий в таких случаях обычно применяются тонкие иголки, допустимое количество которых зависит от толщины ПП, а не от размеров ИС BGA. В качестве эмпирического правила принято считать, что при

силе прижима иголки ИСТ в 170 г максимальное число равномерно распределенных иголок под ИС BGA может быть 225 при толщине ПП, равной 1,57 мм, или 575 при толщине ПП, равной 2,36 мм.

При размещении контактных площадок для шин питания и «земли» на поверхности ПП следует иметь в виду, что предельная токовая нагрузка стандартной иголки ИСТ — около 1 ампера. Практическое правило размещения таких иголок — по меньшей мере три иголки на первый ампер тока и дополнительная иголка на каждые следующие пол-ампера. Не следует скупиться на дополнительные иголки в цепях сенсоров питания ПП и «земли» и размещать их как можно более равномерно. К примеру, для ИС, имеющих несколько выводов питания и «земли», следует предусмотреть также по несколько соответствующих контактных площадок ИСТ, размещая их как можно ближе к самим ИС во избежание возникновения паразитных разностей потенциалов и шумовых эффектов. Для ПП средней величины число контактных площадок для шин питания не должно быть менее 10, а «земли» — не менее 20.

При разработке ПП с учетом ее внутрисхемного тестирования следует учитывать высоту компонентов, размещаемых на нижней стороне ПП, противоположной стороне основного монтажа. Ввиду ограничений, накладываемых фрезерованием пластин игольчатых адаптеров, высота компонентов обычно не должна превышать 3,81 мм (0,15 дюйма) для стандартных адаптеров, хотя при разработке специальных адаптеров эта величина достигает 76 мм (3 дюйма). Боковой зазор стандартных адаптеров, а также зазор для вакуумного канала адаптера, примыкающего к нижней стороне ПП, составляет, как правило, 3,18 мм (0,125 дюйма).

Рассмотрим вкратце экономические аспекты применения внутрисхемного тестирования ИСТ на фоне

принятия решений о стратегиях тестирования в процессе производства ПП. Различные экономические стороны применимости ИСТ удобнее всего рассматривать, сравнивая их с соответствующими аспектами функционального тестирования (ФТ), тестирования в климатических камерах (ТКК) и системного тестирования (СТ). Дело в том, что новейшие технологии монтажа ИС в современных корпусах приводят к значительному увеличению плотности размещения компонентов и контактных площадок на поверхности ПП, достигающей 50 контактов ввода-вывода (КВВ) на см². Широко применяемые низковольтные схемы и компоненты также затрудняют применение тестирования ИСТ ввиду их особой чувствительности к возможным перенапряжениям и избыточным токам.

С другой стороны, высокая «плотность функциональности» в ИС таких узлов, как мобильные телефоны со встроенными видеокамерами, устройства глобального позиционирования и им подобные, приводит к заметному падению диагностического разрешения в процессе ФТ или СТ, вынуждая снова обращаться к старому доброму тестированию ИСТ. Этот метод был и остается, в сущности, единственным реальным подходом, позволяющим выявлять дисфункции микросхем, хотя и не любых, и проводить внутрисхемные аналоговые измерения активных и пассивных компонентов.

Некоторые экономические аспекты применения ИСТ рассмотрим на примере условий мелкосерийного производства на типичном азиатском (не США или Европа) заводе контрактного монтажа ПП [5]. Предположим, такая типовая компания выполняет сборку ПП, содержащих около 800 компонентов и имеющих до 4000 узлов пайки. Стоимость такой платы, скажем, 40 долларов, а годовой объем производства составляет 150 тысяч плат. В таблице 3 приведены

Таблица 2. Зависимость между высотой SMD-компонента и минимально допустимым зазором между ним и центром контактной площадки

Высота компонента	Минимальное расстояние до центра ближайшей контактной площадки
Не более 2,54 мм	1,52 мм
От 2,5 мм до 5 мм	4 мм
Более 5 мм	7,62 мм

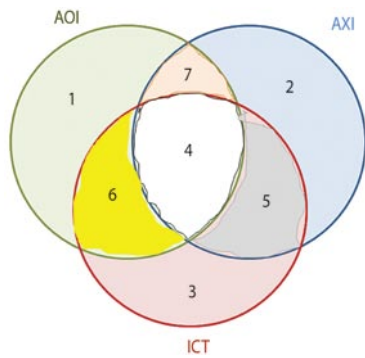


Рис. 6. Пересечение областей покрытия дефектов различными методами тестирования

сравнительные данные такой типовой компании по стоимости и временным затратам выполнения тестирования каждым из указанных четырех методов.

Из рассмотрения таблицы 3 ясно, что стоимости диагностики дефектов, ремонта плат и их повторного тестирования заметно выше для ФТ, и еще более высоки для ТКК и СТ по сравнению с ICT. Это, в сущности, и объясняет необходимость проведения тестирования ICT на ранних стадиях жизненного цикла ПП, сразу же после сборки плат, с целью значительного сокращения затрат на тестирование.

Характеристики уровней тестового покрытия, обеспечиваемых в рам-

ках указанных методов тестирования ПП, приведены в таблице 4. Не детализируя, из-за недостатка места в журнальной статье, способы расчета средневзвешенного уровня покрытия дефектов, достигаемого при использовании того или иного метода тестирования, следует обратить внимание на то, что значения уровней тестового покрытия, обеспечиваемые при тестировании ICT, являются в целом наилучшими.

Из несколько иного примера тестируемых плат [6] можно получить сравнение (см. табл. 5) уровней покрытия дефектов, достигаемых при использовании тестовых стендов трехмерного рентгеновского контроля (3D AXI), автоматического оптического распознавания (AOI), а также ICT, ФТ и СТ. Статистика фирмы Teradyne [6] утверждает, что отличие в уровне тестового покрытия в 1 % в среднем приводит к экономии двух долларов на каждой ПП в пределах ее жизненного цикла. Выводы относительно оправданности использования того или иного метода тестирования нетрудно сделать самому.

На рисунке 6 показано пересечение основных типов неисправностей ПП, обнаруживаемых различными

методами структурного (не функционального!) тестирования. Нумерация зон пересечения типов неисправностей следующая:

- 1 — Визуально различимые дефекты, механические повреждения;
- 2 — Пропущенные компоненты, качество пайки, визуально невидимые соединения;
- 3 — Аналоговые и цифровые измерения, функциональность компонентов;
- 4 — Короткие замыкания и перемычки, обрывы, наличие и отсутствие компонентов;
- 5 — Визуально невидимые соединения;
- 6 — Полярность включения, неверные компоненты;
- 7 — Поднятые (неприпаянные) контакты, параллельноnapaенные компоненты.

Следует отметить, что зоны 1,2 и 3 представляют собой собственные зоны обнаружения дефектов монтажа отдельными методами, а нахождение неисправностей из зон 4—7 дублируется соответствующими методами, хотя и в разной степени, как указывалось выше.

Все статьи цикла «Основы технологии граничного сканирования и тестопригодного проектирования» доступны для свободного скачивания на веб-сайте авторов цикла www.jtag-test.ru/JTAGUniversity/basic.php. В продолжение цикла, в следующем номере журнала будут рассмотрены накопившиеся часто задаваемые читателями вопросы, касающиеся тематики статей цикла.

ЛИТЕРАТУРА

1. Городецкий А., Курилан Л. «Тестопригодное проектирование схем для граничного сканирования», часть 5, «Производство электроники» 2008, №1.
2. Городецкий А., Курилан Л. «Введение во внутрисхемное тестирование», часть 15, «Производство электроники» 2010, №2.
3. Городецкий А., Курилан Л. «Язык описания структур граничного сканирования», часть 3, «Производство электроники» 2007, №7.
4. www.jtag-test.ru/Solutions/ICT.php.
5. М. Smith «The Economics of In-Circuit Testing», Circuits Assembly, August 2006.
6. М. Smith, K.Fairchild «Understanding the Costs, Benefits and ROI of adding AXI Versus AOI to an ICT Line», Teradyne, April 2006.

Таблица 3. Стоимость и временные затраты выполнения тестирования четырьмя различными методами

Стоимость	ICT	ФТ	ТКК	СТ
Стоимость 1 часа тестирования ПП, \$	2	2	2	2
Стоимость 1 часа ремонта ПП, \$	2	2	2	2
Время на тестирование и диагностику одного дефекта, мин	5	10	60	120
Время на ремонт одного дефекта, мин	15	30	50	50
Стоимость диагностики одного дефекта, \$	0,17	0,33	2	4
Стоимость ремонта одного дефекта, \$	0,50	1	1,67	1,67
Стоимость повторного теста, \$	0,50	1	2	2

Таблица 4. Уровни тестового покрытия

	ICT	ФТ	ТКК	СТ
Уровень тестового доступа, %	95	50	70	80
Уровень покрытия структурных дефектов, %	80	60	90	60
Уровень покрытия электрических дефектов, %	90	85	95	99
Средний уровень тестового покрытия, %	78	32	64	53

Таблица 5. Сравнение уровней покрытия дефектов

	3D AXI	AOI	ICT	ФТ	СТ
Уровень тестового доступа, %	98	75	80	50	25
Уровень покрытия структурных дефектов, %	98	97	80	60	60
Уровень покрытия электрических дефектов, %	0	0	89	85	99
Тестовое покрытие структурного теста, %	96	73	64	30	15
Тестовое покрытие электрического теста, %	0	0	71	43	25