

МИКРОСХЕМА БЫСТРОДЕЙСТВУЮЩЕГО ПАРАЛЛЕЛЬНОГО ЭСППЗУ СО ВСТРОЕННЫМ СЕКВЕНСОРОМ АДРЕСА 5861PP1T

ЛЕОНИД АВГУЛЬ, к.т.н., заместитель ген. директора по научной работе, НТЦ «ДЭЛС»

БОРИС ИВАНОВ, нач. отд., ОАО «ГСКБ «Алмаз-Антей»

ВИКТОР КРЯЖЕВ, нач. отд., НТЦ «ДЭЛС»

СЕРГЕЙ КУРНОСЕНКО, к.т.н., нач. отд., НТЦ «ДЭЛС»

СЕРГЕЙ ТЕРЕШКО, к.т.н., ген. директор, НТЦ «ДЭЛС»

В статье представлено техническое описание микросхемы быстродействующего параллельного ЭСППЗУ 5861PP1T емкостью 16 Кбит (организация 2К×8 бит). Отличительными особенностями микросхемы являются высокое быстродействие при чтении информации (25 нс), встроенный секвенсор адреса с функциями инкремента/декремента, рабочий диапазон температур (–60...125°С), напряжение питания 4,5...5,5 В.

ОСНОВНЫЕ ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Микросхема 5861PP1T — электрически стираемое перепрограммируемое постоянное запоминающее устройство (ЭСППЗУ) информационной емкостью 16 Кбит и организацией 2К×8 бит. Микросхема предназначена для построения постоянных запоминающих устройств с возможностью многократной перезаписи информации.

Микросхема изготавливается по КМОП-технологии и имеет ТТЛ-совместимые входы и выходы. Конструктивно она выполнена в планарном металлокерамическом корпусе типа 4119.28-6 с двухсторонним расположением выводов. Назначение выводов микросхемы приведено в таблице 1, а ее основные параметры — в таблице 2.

Микросхема 5861PP1T может быть использована как при разработке новой, так и при модернизации серийно выпускаемой радиоэлектронной аппаратуры (например, для замены микросхем серий 573, 558, 1601).

СТРУКТУРНАЯ СХЕМА

Структурная схема микросхемы приведена на рисунке 1.

Блок формирования адреса предназначен для формирования исполнительного адреса АDR, непосредственно используемого в блоке памяти для записи/чтения информации. Функциональная схема блока формиро-

вания адреса представлена на рисунке 2. Блок содержит:

- регистр режимов со схемой декодирования сигналов управления (Register Decoder);
- 11-разрядный регистр адреса (Address Register);
- комбинационную схему.

Комбинационная схема реализует вычисление инкремента, декремента, передачу адреса с входной шины в регистр адреса, а также обеспечивает режим хранения кода адреса.

Функционирование блока формирования адреса осуществляется в соответствии с таблицей 3. Запись

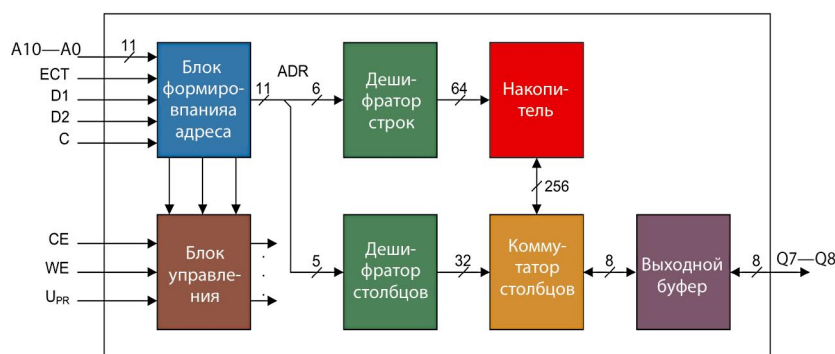


Рис. 1. Структурная схема микросхемы

Таблица 1. Назначение выводов микросхемы 5861PP1T

Обозначение	Назначение
A[10:0]	Входная шина адреса
Q[7:0]	Двунаправленная шина данных
WE	Вход сигнала разрешения записи
CE	Вход сигнала выбора микросхемы и разрешения выдачи информации
C	Вход сигнала синхронизации счета, записи адреса
D1, D2	Входы сигналов управления
ECT	Вход сигнал разрешения счета
UPR	Выход встроенного умножителя напряжения программирования
V _{cc}	Вывод питания от источника напряжения
GND	Общий вывод

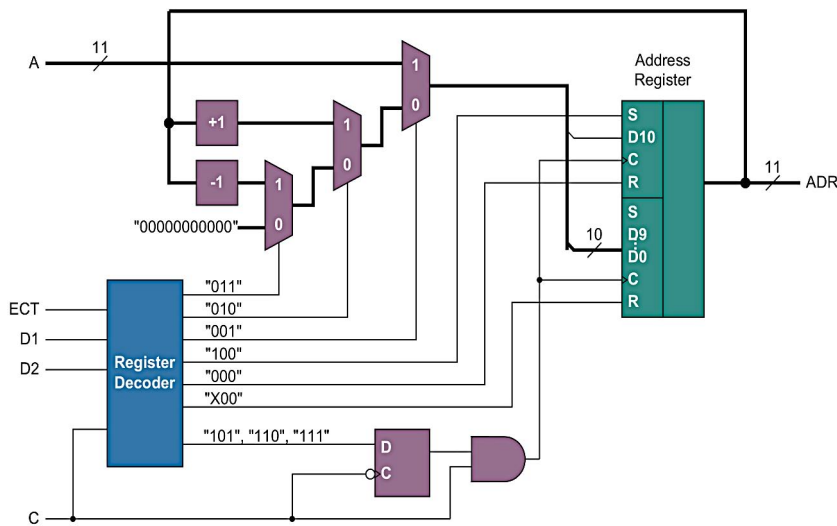


Рис. 2. Функциональная схема блока формирования адреса

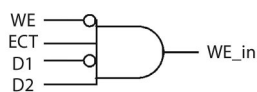


Рис. 3. Схема формирования внутреннего сигнала разрешения записи

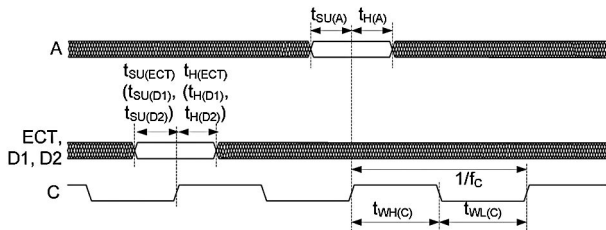


Рис. 4. Временная диаграмма установки и удержания сигналов управления ECT, D1, D2 и адреса A относительно сигнала синхронизации C

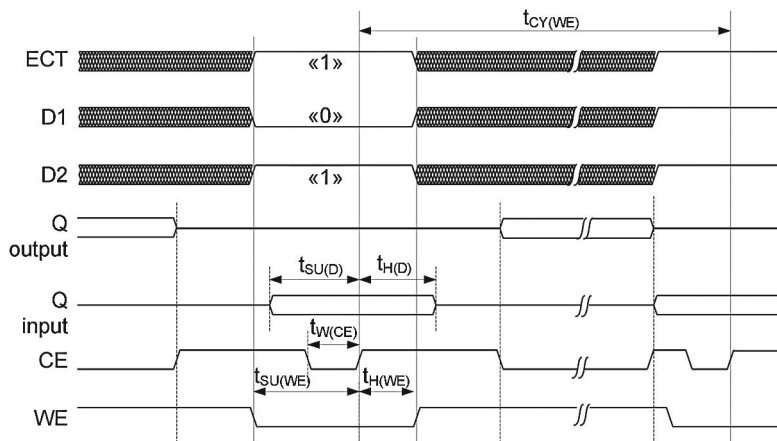


Рис. 5. Временная диаграмма записи данных

Таблица 2. Основные параметры микросхемы

Наименование параметра, единица измерения	Обозначение параметра	Норма параметра	
		не менее	не более
Напряжение питания, В	U_{CC}	4,5	5,5
Ток потребления в режиме хранения, мА	I_{CCS}	—	10,0
Динамический ток потребления, мА	I_{OCC}	—	150
Выходной ток низкого уровня, мА	I_{OL}	—	4,0
Выходной ток высокого уровня, мА	I_{OH}	—	$ -4,0 $
Время цикла записи, мс	$t_{CY(WE)}$	—	10
Время выбора, нс	t_{CS}	—	25
Время выборки адреса, нс	$t_{A(A)}$	—	25
Количество циклов перезаписи	N_{RW}	—	10^5
Время сохранности информации, лет	t_{SG}	—	10
Температурный диапазон, °C	T_s	-60	125

кода режима в регистр режимов и запись информации в регистр адреса осуществляется по положительному фронту синхросигнала C. При этом фиксация кода адреса A с входной шины, а также выполнение операций инкремента и декремента исполнительного адреса происходит со сдвигом на один такт синхросигнала C.

Блок управления формирует из входных сигналов CE и WE внутренние сигналы управления, обеспечивающие функционирование микросхемы в различных режимах.

Сигнал CE — сигнал выбора микросхемы и разрешения выдачи информации. Низкий уровень сигнала разрешает обращение к микросхеме, высокий — переводит шину Q микросхемы в состояние с высоким импедансом.

Сигнал WE — сигнал разрешения записи. При низком уровне сигнала WE производится запись информации, при высоком — чтение.

Вывод U_{PR} — выход встроенного умножителя напряжения программирования. При подключении на данный вывод напряжения V_{CC} осуществляется блокирование работы внутреннего умножителя напряжения, что защищает ячейки памяти от перезаписи. При отключенном состоянии вывода защита памяти игнорируется. Подключение низкого уровня к данному выводу не допускается ни в каких режимах.

ПРОГРАММИРОВАНИЕ МИКРОСХЕМЫ

Программирование микросхемы производится побайтно в произвольном порядке по любому выбранному адресу. Предварительного стирания не требуется. Цикл перезаписи одного байта составляет ~10 мс.

Внутренний сигнал разрешения записи, непосредственно подаваемый на вход накопителя информации, формируется из внешнего сигнала WE только при условии наличия следующей комбинации управляющих сигналов: ECT = «1», D1 = «0» и D2 = «1»

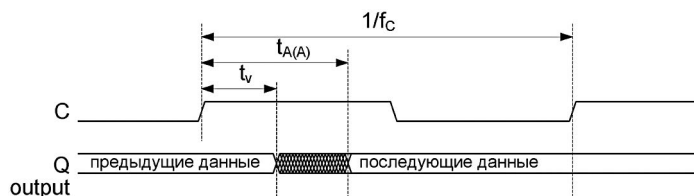


Рис. 6. Временная диаграмма чтения данных при смене адреса (CE = 0, WE = 1)

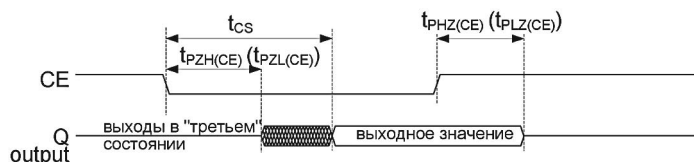


Рис. 7. Временная диаграмма чтения данных по сигналу CE

Таблица 3. Режимы работы блока формирования адреса

ECT	D1	D2	Значение исполнительного адреса ADR	Режим работы
0	0	0	0000000000	Установка в 0 кода исполнительного адреса
1	0	0	1000000000	Установка в 1000000000 кода исполнительного адреса
0	0	1	A	Фиксация кода адреса A с входной шины
1	0	1	ADR	Хранение кода исполнительного адреса
0	1	0	ADR + 1	Увеличение на 1 кода исполнительного адреса (инкремент)
1	1	0	ADR	Хранение кода исполнительного адреса
0	1	1	ADR - 1	Уменьшение на 1 кода исполнительного адреса (декремент)
1	1	1	ADR	Хранение кода исполнительного адреса

Таблица 4. Временные параметры установки и удержания сигналов управления ECT, D1, D2 и адреса A относительно сигнала синхронизации C

Наименование параметра, единица измерения	Обозначение	Норма параметра	
		не менее	не более
Частота следования импульсов тактового сигнала на входе C, МГц	f_c	—	40
Длительность сигнала высокого уровня на входе C, нс	$t_{WH(C)}$	10	—
Длительность сигнала низкого уровня на входе C, нс	$t_{WL(C)}$	10	—
Время установления адреса относительно сигнала C, нс	$t_{SU(A)}$	5	—
Время удержания адреса относительно сигнала C, нс	$t_{H(A)}$	5	—
Время установления сигналов управления ECT, D1, D2 относительно сигнала C, нс	$t_{SU(ECT)}$, $t_{SU(D1)}$, $t_{SU(D2)}$	5	—
Время удержания сигналов управления ECT, D1, D2 относительно сигнала C, нс	$t_{H(ECT)}$, $t_{H(D1)}$, $t_{H(D2)}$	5	—

Таблица 5. Временные параметры записи данных

Наименование параметра, единица измерения	Обозначение	Норма параметра	
		не менее	не более
Время цикла записи, мс	$t_{CY(WE)}$	10	—
Время установления входных данных относительно сигнала CE, нс	$t_{SU(D)}$	300	—
Время удержания входных данных относительно сигнала CE, нс	$t_{H(D)}$	200	—
Время установления сигнала WE относительно сигнала CE, нс	$t_{SU(WE)}$	150	—
Время удержания сигнала WE относительно сигнала CE, нс	$t_{H(WE)}$	150	—
Длительность сигнала CE, нс	$t_{W(CE)}$	300	—

Таблица 6. Временные параметры чтения данных

Наименование параметра, единица измерения	Обозначение	Норма параметра	
		не менее	не более
Время сохранения выходных данных при смене адреса, нс	t_v	—	8
Время выборки адреса, нс	$t_{A(A)}$	—	25
Время выбора, нс	t_{CS}	—	25
Время задержки распространения при переходе из состояния «Выключено» в состояние высокого или низкого уровня, нс	$t_{PZH(CE)}$, $t_{PLZ(CE)}$	—	5
Время задержки распространения при переходе из состояния высокого или низкого уровня в состояние «Выключено», нс	$t_{PHZ(CE)}$, $t_{PLZ(CE)}$	—	5

(см. рис. 3). Такая комбинация сигналов соответствует режиму хранения кода исполнительного адреса блока формирования адреса, при котором значение адресного регистра остается неизменным.

Все это позволяет организовать дополнительную защиту от несанкционированного стирания информации.

При записи данных в микросхему во избежание конфликта на двунаправленной шине Q рекомендуется предварительно перевести ее в «третье», высокоимпедансное состояние подачей на вход CE сигнала высокого уровня. После окончания переходных процессов (≤ 5 нс) на шину Q можно подавать данные, предназначенные для записи в микросхему, и инициировать процесс записи (см. рис. 5).

ВРЕМЕННЫЕ ДИАГРАММЫ ФУНКЦИОНИРОВАНИЯ

Временные диаграммы функционирования микросхемы показаны на рисунках 4—7. Соответствующие временные параметры приведены в таблицах 4—6. Заштрихованные области на рисунках означают произвольное значение сигналов на соответствующих входах.