ПЛАТФОРМЕННЫЙ ПРИНЦИП ПРОЕКТИРОВАНИЯ СБИС И ПЛИС
Часть 2

МИХАИЛ БАДИН, руководитель проекта, НПП «Цифровые решения»
ДМИТРИЙ ВОРОНКОВ, руководитель проекта, НПП «Цифровые решения»
АЛЕКСАНДР РУТКЕВИЧ, исполнительный директор, НПП «Цифровые решения»
МАКСИМ СЕНЧЕНКО, инженер-исследователь, ФГУП «РН ИИ КП»
ВЛАДИМИР СТЕШЕНКО, к.т.н., начальник отдела разработки СБИС, ФГУП «РН ИИ КП»
ГРИГОРИЙ ШИШКИН, главный конструктор, НПП «Цифровые решения»

В первой части статьи были рассмотрены тенденции в развитии методов проектирования СБИС с учетом современных рыночных механизмов. Во второй части рассмотрены пути практической реализации платформ и особенности их проектирования.

На мировом рынке аппаратных платформ для верификации уже наметилось несколько лидеров. Одна из первых разработок — персональный эмулятор ZeBu-ZV компании EVE. Архитектура ZeBu-ZV позволяет использовать эту платформу разработчикам как аппаратуры, так и ПО.

Ресурсы эмулятора представлены логической емкостью до 1,5 млн ASIC-эквивалентных вентилей, системной памятью объемом 128 Мбит и производительностью до 12 МГц. Эта модель подходит для верификации отдельных логических блоков, IP-блоков, небольших проектов, реализуемых на FPGA или ASIC. Эмулятор реализован в виде стандартной платы, вставляемой PCI-слот настольных ПК. Предусмотрена возможность интеграции с популярными логическими симуляторами и средствами синтеза. Интерфейс внутрисхемной эмуляции ICEPod позволяет подключить эмулятор к целевой системе или IP-ядру с использованием 744 входных/выходных контактов. Кроме того, через 16-контактный интерфейс SmartICE или виртуальный JTAG-порт к эмулятору можно подключать популярные программные отладчики.

В последнее время одной из актуальных тенденций в проектировании стало построение платформ на базе открытых решений. Примером является подход компании SPARC, впоследствии развитый при поддержке Европейского космического агентства в процессорном ядре LEON3 компании Gaisler Research.

В 32-разрядном процессоре LEON3 использована архитектура SPARC V8. Архитектура SPARC — полностью открытая; исходные VHDL-коды свободно доступны для использования без лицензионных ограничений, что упрощает раннюю оценку и макетирование процессора.

Ядро процессора хорошо структурировано и подходит для проектирования систем на кристалле (СнК, SOC). Связь ядра с периферийными устройствами осуществляется с помощью интерфейса, использующего шину AMBA-2.0 APB и поддерживающего при помощи библиотеки IP Gaisler Research (GRLIB) протокол IP plug&play. Процессор может быть эффективно изготовлен и по FPGA-, и по ASIC-технологиям. В LEON3 используются стандартные синхронные ячейки оперативной памяти для обеих кэш-памятей и регистрового файла.

В процессоре задействован расширенный 5-тактный конвейер (гарвардская архитектура). Дополнительный IEEE-754 математический сопроцессор обеспечивает поддержку операций с плавающей запятой с одинарной и двойной точностью. Кэш-система поддерживает мультимножества с 4 наборами по 256 Кбит в наборе.

Конструктивно LEON3 содержит:

– раздельные кэши команд и данных;
– аппаратный перемножитель и делитель;
– контроллер прерываний;
– модуль отладки с буфером;
– два 24-битных таймера;
– два универсальных асинхронных приемопередатчика;
– модуль поддержки выключения питания;
– систему безопасности;
– 16-битный порт ввода/вывода;
– гибкий контроллер памяти;
– модуль поддержки Ethernet-порта;
– интерфейс PCI (32-разрядная шина с возможностью расширения до 64-разрядов, взаимодействие через которую происходит без участия CPU);
– поддержку шины AMBA.

Функционально LEON3 состоит из следующих блоков (см. рис. 4):

– модуль целочисленных вычислений;
– модуль вычислений с плавающей точкой;
– система кэш-памяти;
– модуль управления памятью;
– модуль поддержки отладки;
– интерфейс памяти (ПЗУ, статическая ОЗУ, синхронная динамическая ОЗУ);
– два 24-битных таймера;

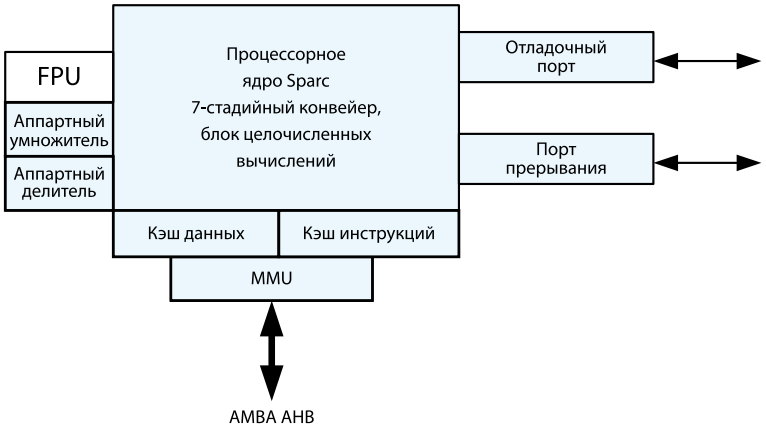


Рис. 4. **Структурная схема процессоров LEON3**

– контроллер прерываний;
– параллельный 32-битный порт ввода/вывода;
– шина AMBA (AHB и APB);
– модуль Ethernet.

LEON3 может использоваться в синхронных многопроцессорных конфигурациях (SMP). Он поддерживает аппаратные средства для обеспечения когерентности кэш-памяти и регулирования прерывания SMP. Уникальный интерфейс отладки позволяет производить отладку аппаратных средств SMP-системы и обеспечивает доступ ко всем регистрам и памяти на чипе.

В таблице 1 указаны характеристики быстродействия процессора и занимаемая им площадь в зависимости от технологии синтеза. Ядро базового процессора (конвейер, контроллеры кэш-памяти и интерфейс AHB) использует приблизительно 20 тыс. вентилей и может быть реализовано как на специализированных интегральных схемах, так и по технологии FPGA. На технологии 0,13 мкм может быть достигнута тактовая частота более 400 МГц.

Ядро LEON3 можно реализовать и в радиационно-устойчивом исполнении для использования в космосе и других специализированных приложениях.

Для аппаратной верификации систем на базе процессора LEON3 компании Surrey Space Centre и Astrium SAS выпускают специализированные платформы (см. рис. 5)

Начинает формироваться и отечественный сегмент средств аппаратной верификации. Компания НПП «Цифровые решения» разработала семейство цифровых аппаратных платформ для обработки высокоскоростных сигналов (включая видео), передачи данных и макетирования различного рода процессов, в том числе и прототипирования СБИС.

Цифровая вычислительная платформа DS-M-1000 выполнена на 6-слойной печатной плате с размещенной на ней ПЛИС XILINX VIRTEX2 1000 (1 млн вентилей). На плате установлены два банка быстродействующей SSRAM-памяти суммарным объемом 4 Мбайт, работающие на частоте 165 МГц. Разрядность шины данных — 36 бит.

Для высокоскоростной передачи данных на плате предусмотрены два интерфейса: 64-разрядная параллельная шина данных и приемопередатчик Ethernet. Параллельная шина данных может быть использована как одна или несколько параллельных шин данных необходимой разрядности. Кроме того, каждая линия шины может использоваться как линия с последовательной передачей данных. Порт Ethernet реализован на трансивере AM79C874VI фирмы AMD и

Рис. 5. **Специализированная платформа фирмы Surrey Space Center для аппаратной верификации**

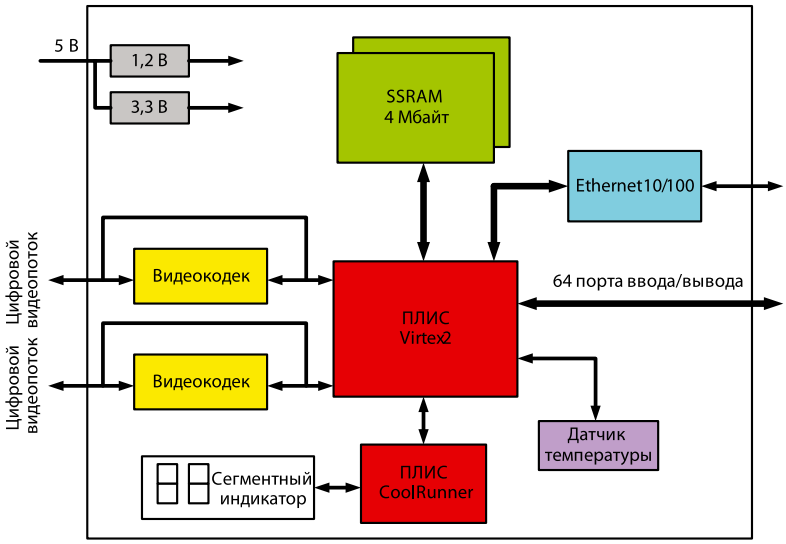


Рис. 6. **Структурная схема цифровой вычислительной платформы DS-M-1000**

обеспечивает скорость приема и передачи данных 100 Мбит/с (Fast Ethernet). Структурная схема вычислительной платформы DS-M-1000 представлена на рисунке 6.

Отличительная особенность платформы DS-M-1000 — возможность работы с цифровым видеосигналом, для чего на плате установлены две микросхемы видеокодеков (ADV202 фирмы Analog Devices), обеспечивающие аппаратное сжатие или декомпрессию видеоинформации.

Функции контроля и отладки выполняет установленная на плату микросхема ПЛИС CPLD XILINX Cool Runner XCR3256-XL. С ее помощью можно осуществлять перезагрузку основной ПЛИС, выполнять чтение и анализ контрольных сигналов основной ПЛИС и выводить информацию на 2-разрядный светодиодный дисплей. На плате имеется контроллер датчика температуры, встроенный в ПЛИС VIRTEX, опрашивая который можно получать текущую температуру кристалла ПЛИС.

На базе платформы DS-M-1000 проведена аппаратная верификации СБИС контроллера флэш-памяти с возможностью аппаратной реализации алгоритмов защиты информации. Данная СнК разрабатывалась с целью создания контроллера для поддержки больших массивов флэш-памяти (от 256 Мбайт до 8 Гбайт) с возможностью передачи данных из/во флэш-память с высокой скоростью. Контроллер поддерживает командный интерфейс SCSI, предназначенный для использования в промышленных системах сбора и хранения данных. Для увеличения быстродействия реализовано 2 независимых канала подключения микросхем флэш-памяти. Использование технологии параллельного чтения и записи микросхем NAND-памяти позволило обеспечить высокую скорость доступа к данным. Накопитель состоит из следующих блоков (см. рис. 7):

– интерфейсы микросхем NAND-флэш-памяти;
– контроллер ПДП;
– блок проверки ECC и исправления ошибок;
– RISC-процессор с памятью программ;

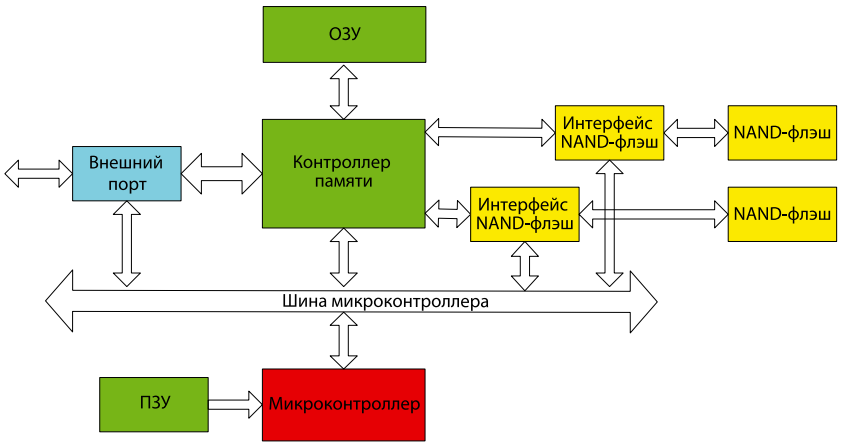


Рис. 7. **Структурная схема контроллера больших массивов флэш-памяти**

– контроллер оперативной памяти.

Встроенное ПО обеспечивает работу с внутренней файловой системой флэш-памяти:

– управление отображением логических блоков на физические;

– контроль и выравнивание износа блоков памяти микросхемы;

– автоматическое определение числа подключенных микросхем и их форматирование;

– замещение испорченных секторов.

Дальнейшим развитием аппаратных платформ для прототипирования СБИС и аппаратной верификации СнК стала **аппаратная платформа DS-E-4000**, структурная схема которой приведена на рисунке 8.

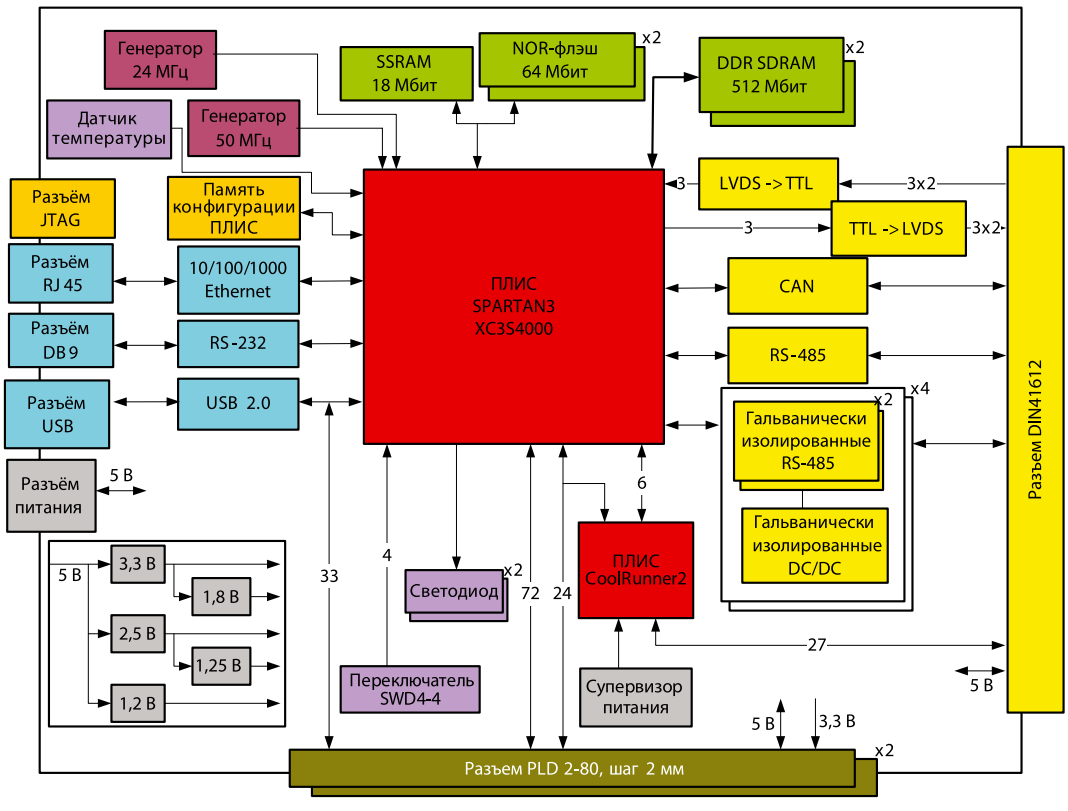
В основу платформы положена ПЛИС фирмы Xilinx семейства Spartan3 объемом 4 млн логических вентилей. ПЛИС CPLD CoolRunner предназначена для мониторинга и тестирования работы основной ПЛИС. Стабильность работы платы также обеспечивается супервизором питания и датчиком температуры, подключенным к Spartan3.

Для хранения и работы с данными на плате предусмотрено 3 типа памяти: DDR SDRAM, SSRAM и NOR Flash.

В платформе DS-E-4000 реализована поддержка большинства наиболее распространенных интерфейсов, таких как Ethernet 1000/100/10, USB 2.0, RS-232, RS-485, CAN, LVDS; возможно также использование линий ввода/вывода на разъеме, подключенном непосредственно к ПЛИС.

Основные технические характеристики аппаратной платформы DS-E-4000:

– ПЛИС Xilinx Spartan3 XC3S400;
– ПЛИС Xilinx XC9500;
– память:
 - NOR до 32 Мбайт;
 - SSRAM 2 Мбайт;
 - DDR SDRAM — до 128 Мбайт;
– интерфейсы:
 - Ethernet 10/100/1000 (Gigabit Ethernet);
 - USB 2.0;
 - полный (с контролем потока) RS-232 на разъеме DB-9;
 - CAN;
 - RS-485;
 - восемь гальванически развязанных RS-485;
 - по три LVDS-входа и выхода на DIN41612;
 - до 129 программируемых ввода/вывода ПЛИС Spartan3;
 - до 57 программируемых ввода/вывода ПЛИС XC9500;
– тактовые генераторы 24 и 50 МГц;
– 4-битный переключатель;
– два 2-цветных светодиода;
– мониторинг питания;
– цифровой датчик температуры;
– конструктив «евромеханика»;
– напряжение питания платы: 5 В;
– промышленный и коммерческий диапазон температур.



Количество связей между разъемами PLD2-80 и ПЛИС Spartan3 равно 129

Рис. 8. **Структурная схема аппаратной платформы DS-E-4000**

Наличие большого выбора интерфейсов ввода/вывода обусловливает ориентированность платформы на решение широкого круга задач. Благодаря применению конструктива «евромеханика» с разъемом DIN41612 на базе платформы можно строить комплексы верификации практически неограниченной логической емкости. Дополнительные разъемы, расположенные по краям платы, могут использоваться для подключения мезонинных модулей.

Платформа DS-ARM9 предназначена для построения различных приборов и устройств и представляет собой полноценный микрокомпьютер на основе микропроцессора ARM9 (частота ядра 200 МГц) с собственной видео- и звуковой системой. Характерная черта, отличающая модуль от аналогов — микросхема ПЛИС.

Основу модуля составляют микропроцессор фирмы Cirrus EP9307 и микросхема ПЛИС объемом 400 тыс. логических вентилей. Такая комбинация позволяет решать задачи, которые невозможно или не оптимально решать только процессорным способом и хорошо — с помощью цифровой комбинационной логики.

Микропроцессор может работать под управлением наиболее распространенных ОС, таких, как Linux, Windows CE или eCos, позволяющих ускорить разработку программного обеспечения и графических интерфейсов. Возможна работа и без операционной системы.

Микропроцессор Cirrus EP9307 имеет встроенный видеоконтроллер, позволяющий подключать к DS-ARM9 TFT-экраны разрешением до 800 × 600, в том числе со встроенной сенсорной панелью.

Благодаря наличию ПЛИС, в которой можно реализовывать дополнительные интерфейсы и высокоскоростные вычислительные блоки, DS-ARM9 имеет широкие возможности по расширению выполняемых функций. Типовым применением является использование в системах реального времени, требующих быстрой реакции на события.

Основные технические характеристики платформы DS-ARM9:

– процессор Cirrus EP9307: 32-разрядное ядро ARM9, тактовая частота 200 МГц, частота ядра 100 МГц;

– SDRAM до 256 Мбайт (опционально до 1 Гбайт);

– загрузочная флэш-память программ: NOR до 16 Мбайт, последовательная до 4 Мбит;

– встроенный флэш-диск (NAND-флэш-память) до 4 Гбайт;

– ПЛИС Xilinx Spartan3 от 50 до 400 тыс. логических элементов;

– видеосистема: встроенная в микропроцессор Cirrus EP9307, разрешение до 800 × 600;

– аудиосистема AC97, усилитель мощности: 1,5 Вт (моно), 0,25 Вт (стерео);

– функции защиты и контроля: сторожевой таймер (встроен в Cirrus EP930), монитор напряжения питания, цифровой датчик температуры, часы реального времени с автономным питанием от батареи;

– интерфейсы:
- три интерфейса RS-232;
- 34 программируемые линии ввода/вывода ПЛИС;
- 16 программируемых линий ввода/вывода микропроцессора Cirrus EP9307 (порт GPIO);
- USB Host — 3 порта, встроенных в микропроцессор Cirrus EP9307;
- USB Device — 1 порт;
- интерфейс Ethernet 10/100 Мбит/с;
- звуковые аналоговые входы/выходы (кодек AC97);
- интерфейс сенсорной панели на 4, 5 или 7 контактов (возможно использование этого интерфейса как 8-канального АЦП);
- два ШИМ-выхода микропроцессора (можно использовать для управления яркостью подсветки TFT-экрана);
- отладочные интерфейсы JTAG FPGA и JTAG ARM;

– питание 7…16 В (возможна подача стабилизированного напряжения питания 5 В, а если не используются интерфейсы, USB и звука — 3,3 В);

– коммерческий или индустриальный диапазон температур (0…60°C; –40…85°C);

– габариты 128 × 80 × 14 мм.

Завершая изложение опыта проектирования цифровых платформ, хотелось бы рассказать о специфике разработки платформы цифровой обработки сигналов с учетом требований по скоростям и синхронизации. НПП «Цифровые решения» был разработан **блок цифровой обработки сигнала для антенного компенсатора помех**, состоящий из плат АЦП, платы цифрового вычислителя и платы распределения синхронизирующих сигналов (см. рис. 9).

Антенный компенсатор помех предназначен для защиты навигационной аппаратуры потребителей спутниковых навигационных систем ГЛОНАСС и GPS при воздействии помех. Такого рода системы актуальны в условиях города при наличии индустриальных помех и паразитных составляющих в спектре разнообразной аппаратуры мобильной связи и вещания.

Для связи платы АЦП с платой цифрового вычислителя используется набор сериалайзеров с выходом LVDS, каждый из которых обеспечивает передачу цифровых данных со скоростью до 792 Мбит/с.

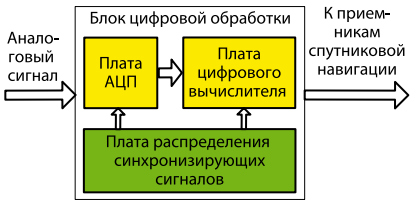


Рис. 9. **Структурная схема ЦОС-блока для антенного компенсатора помех**

Алгоритм компенсации реализован на ПЛИС Altera семейства Stratix II и сигнальном процессоре TMS320C6713, которые выполняют:

– предварительную фильтрацию принятого сигнала;

– коррекцию частотных характеристик каналов;

– компенсацию помех (формирование весовых коэффициентов и взвешенное суммирование принятых сигналов);

– формирование выходных данных для передачи в приемник спутниковой навигации.

Плата цифрового вычислителя предназначена для работы в составе антенного компенсатора помех и выполняет основные функции цифровой обработки сигналов. Основные технические характеристики платы цифрового вычислителя:

– ПЛИС Altera Stratix II EP2S90FBGA1020 или EP2S60FBGA1020;

– память:
- DDR SDRAM до 256 Мбайт;
- NOR Flash 512 Кбайт;
- SDRAM 8 Мбайт;

– интерфейсы:
- приемопередатчик Ethernet 10/100;
- 12 десериалайзеров;
- 2 сериалайзера;
- 1 сериалайзер-десериалайзер;
- 8 приемопередатчиков RS-485;
- 1 преобразователь TTL → LVDS на 4 канала;
- 1 преобразователь LVDS → TTL на 4 канала;
- два 14-разрядных ЦАП;

– прочее:
- 2 тактовых генератора (50 и 66 МГц);
- возможность подключения внешнего тактового сигнала;
- цифровой датчик температуры;
- напряжение питания платы — 12 В;
- все микросхемы имеют индустриальный диапазон температур.

Структурная схема платы приведена на рисунке 10.

Основные технические характеристики платы аналого-цифрового преобразования:

– ПЛИС Spartan-3;

– CPLD xc9572xl;

– шесть 12-разрядных АЦП;

– 9 сериалайзеров;

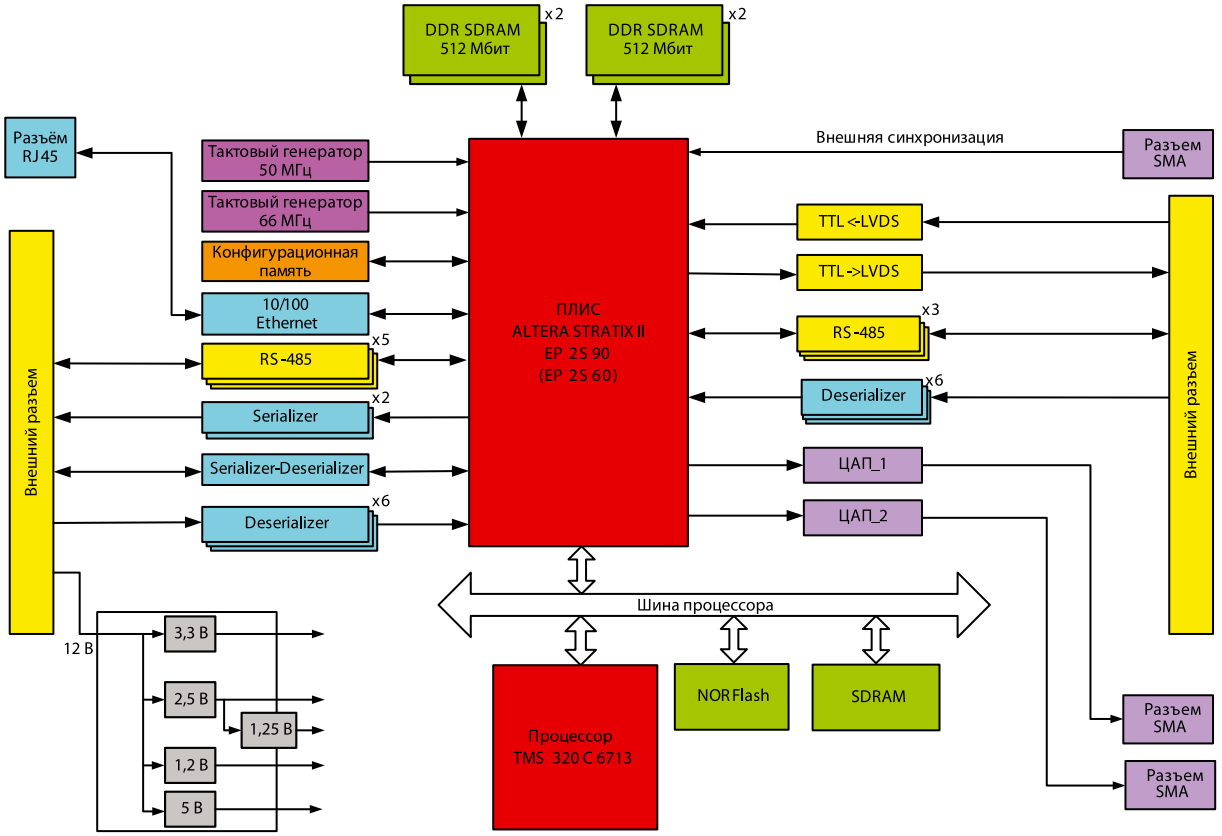


Рис. 10. **Структурная схема платы цифрового вычислителя**

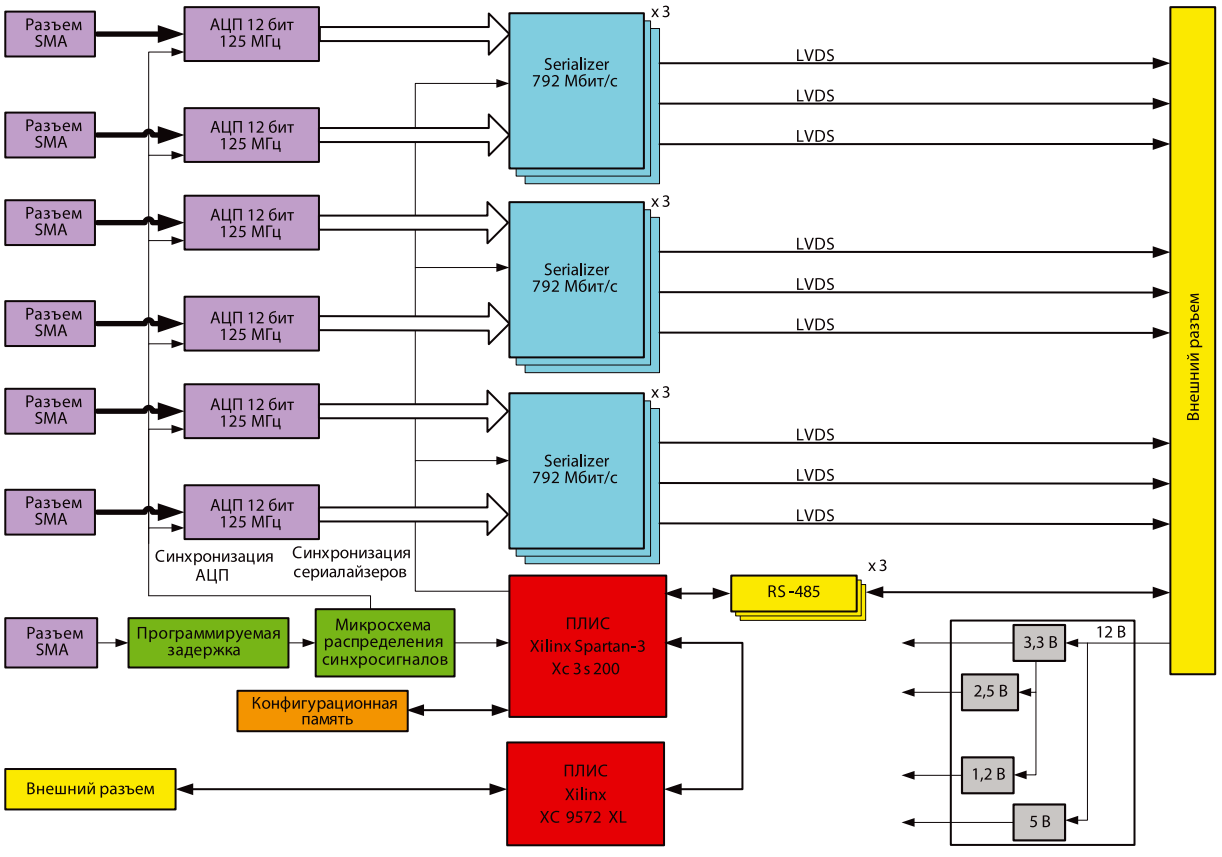


Рис. 11. **Структурная схема платы аналого-цифрового преобразования**

– 3 приемопередатчика RS-485;
– внешняя синхронизация;
– микросхема программируемой задержки тактового сигнала;
– микросхема распределения тактовых сигналов;
– 30 внешних цифровых входов/выходов;
– напряжение питания платы — 12 В;

Структурная схема платы АЦП приведена на рисунке 11.

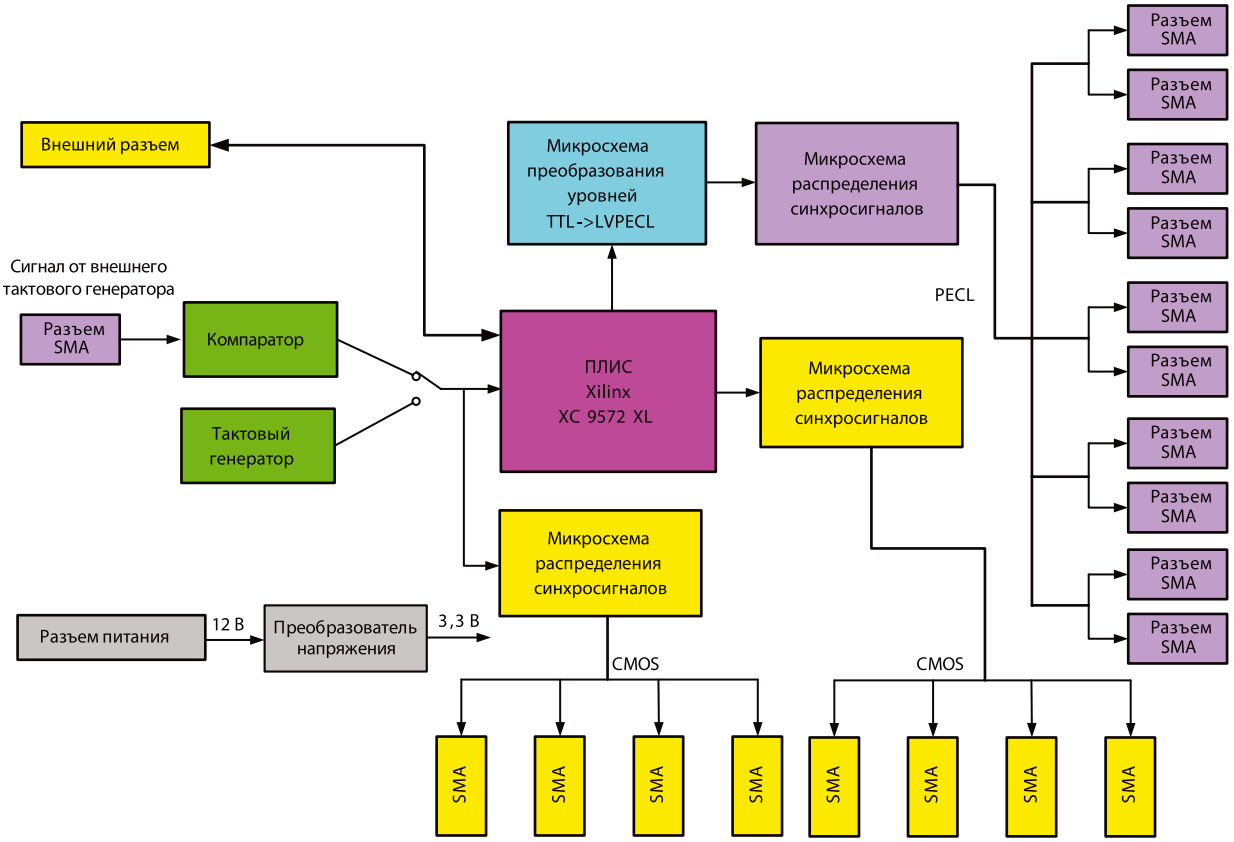


Рис. 12. **Структурная схема платы распределения синхронизирующих сигналов**

Основные технические характеристики платы распределения синхронизирующих сигналов:

– CPLD xc9572xl;
– 5 выходов PECL;
– 8 выходов CMOS;
– 20 внешних цифровых входов/выходов;
– возможность подключения внешнего тактового сигнала;
– напряжение питания платы — 12 В.

Структурная схема платы распределения приведена на рисунке 12.

Таким образом, мы постарались показать различные аспекты внедрения перспективных технологий проектирования и примеры их воплощения в конкретные изделия. Авторы будут признательны за отзывы, которые можно направлять по адресу info@dsol.ru.

ЛИТЕРАТУРА

1. www.dsol.ru

2. Уэйкерли Д. Проектирование цифровых устройств//Постмаркет, 2002.

3. Бухтев А. Методы и средства проектирования систем на кристалле//Chip news, 2003, №4.

4. Chang H., Cooke L., Hunt M. etc. Surviving the SOC revolution: A guide to platform-based design//Norwell. MA: Kluwer, 1999.

5. Стешенко В. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов//М.: ИД «Додека», 2000.

6. Стешенко В. EDA. Практика автоматизированного проектирования радиоэлектронной аппаратуры//М.: «Нолидж», 2002.

НАШ КОММЕНТАРИЙ

В ЭК2 (см. с. 121) было опубликовано заявление нового главы Xilinx Моше Гаврилова.

Высказанная им позиция вполне имеет право на существование, особенно в связи с тем, что из-за сложности и дороговизны самостоятельного проектирования и тестирования всех узлов современных ИС такое комплексное проектирование сейчас под силу довольно ограниченному числу крупных компаний. К настоящему времени большинство разработчиков как ИС, так и устройств на основе ПЛИС, предпочитает либо использовать готовые СФБ для 80—90% узлов, либо ПЛИС с уже встроенными стандартными узлами (типа контроллеров интерфейсов, памяти и т.д.), проектируя самостоятельно только ключевые узлы на базе своего ноу-хау. Разумеется, что большое число встроенных стандартных узлов, делая ПЛИС универсальной в применении, в то же самое время приводит к ее удорожанию, что существенно ограничивает масштабы использования конкретной ПЛИС. Снижение универсализма ПЛИС за счет ориентации их на отдельные сферы применения, конечно, может существенно расширить сферу их использования в каждом конкретном сегменте рынка. Однако такая специализация может и не привести к столь масштабному увеличению спроса, заявленному Гавриловым. Дело в том, что ПЛИС во многих областях применения испытывают серьезную конкуренцию со стороны микроконтроллеров. Совершенствование как архитектуры, так и технологии изготовления МК в настоящее время очень часто позволяет использовать их там, где еще 3—5 лет назад приходилось применять аппаратные устройства на базе ПЛИС (например, в телекоммуникационной отрасли — несмотря на все возрастающие скорости передачи и обработки данных). МК, как известно, требуют существенно меньших затрат на программирование и за счет унификации архитектуры производятся в значительно больших количествах, чем ПЛИС, в результате обходясь дешевле. При этом область применения ПЛИС в целом в обозримом будущем может оказаться существенно уже, чем предполагает глава Xilinx — если, конечно, не считать полноценной ПЛИС любую микросхему, имеющую хотя бы минимальную долю программируемой логики.