

ОДИНОЧНЫЕ СБОИ — ВЫЗОВ ДЛЯ СОВРЕМЕННЫХ МИКРОПРОЦЕССОРОВ

ПАВЕЛ ОСИПЕНКО, к.т.н., зав. отделом, НИИСИ РАН

В статье поднимается проблема сбоев в современных микроэлектронных изделиях, вызванных воздействием одиночных частиц, таких как атмосферные нейтроны и альфа-частицы. Описывается история обнаружения данной проблемы, дается краткий обзор методов борьбы с одиночными сбоями на примере микропроцессоров компании IBM Corp.

1. ВВЕДЕНИЕ

В последние несколько десятилетий технология производства интегральных схем развивается стремительными темпами, что позволяет повышать производительность и функциональные возможности изделий микроэлектроники. Еще в 1965 г. сооснователь компании Intel Гордон Мур предсказал, что число транзисторов, которое можно разместить на одном кристалле, будет удваиваться каждые 1,5—2 года, и этот закон выполняется уже более 40 лет. В настоящий момент выпускаются микросхемы с числом транзисторов около 2 млрд, и рост продолжается. Однако разработчики микропроцессорных систем сталкивались с проблемами, которые, на первый взгляд, грозили остановить или существенно замедлить экспоненциальное развитие. Первая серьезная трудность, названная «проблемой стены памяти» (*memory wall*), была вызвана тем, что рост производительности микропроцессоров не поддерживался пропорциональным ростом быстродействия микросхем памяти, в результате чего скорость обмена данными не поспевала за скоростью их обработки. Несколько лет назад разработчики микропроцессоров и систем столкнулись с другой серьезной трудностью — «проблемой стены мощности энергопотребления» (*power wall*). Обнаружилось, что стандартные методы повышения производительности за счет увеличения рабочей частоты и сложности архитектуры приводили к недопустимым уровням энергопотребления и, как следствие, перегреву кристалла и системы в целом. Данная статья посвящена проблеме одиночных сбоев в микроэлектронных изделиях, которая в недалеком будущем имеет все шансы получить название «проблема стены сбоев» (*soft error wall*). В статье под сбоем понимается нарушение логического состояния элемента памяти под воздействием одиночных частиц, например нейтронов или альфа-частиц. Поскольку нарушение является обратимым, сбои называют мягкими (*soft error*), в отличие от систематических отказов (*hard errors*). Сразу следует оговорить, что в статье не рассматриваются специфические условия радиационного

воздействия космического пространства или зоны экспериментов научных центров по изучению свойств материи. Рассматриваются самые обычные условия на поверхности земли, в которых находятся как сами коммерческие компьютеры, так и их пользователи.

2. ДОКАЗАТЕЛЬСТВО НАЛИЧИЯ ОДИНОЧНЫХ СБОЕВ

Считается [1], что проблема сбоев вследствие попадания одиночных частиц в микросхемы стала широко обсуждаться после выхода статьи [5] в 1979 г., в которой описывались результаты исследования причины сбоев микросхем производства Intel Corporation. В статье доказывалось, что причиной наблюдаемых сбоев были альфа-частицы, которые испускали при распаде ядра урана, содержащиеся в керамических корпусах. Керамику для их изготовления получали из старой урановой шахты.

Позже с подобной проблемой столкнулась и компания IBM, которая выяснила, что сбои в ее микросхемах вызваны альфа-частицами, возникшими в результате распада радиоактивных примесей в жидкости для чистки бутылок. В них хранилась кислота, используемая в процессе производства микросхем [7].

В то время, когда инженеры разбирались с причинами и искали способы устранения сбоев, вызванных радиоактивными примесями, Зиглер и Ленфорд (Ziegler and Landford) в своей статье, вышедшей в 1979 г. [11], предсказали, что источником сбоев от попадания одиночных частиц могут быть не только альфа-частицы от радиоактивных примесей, но и нейтроны, образующиеся в результате ядерных взаимодействий высокоэнергетических частиц космического пространства с ядрами атомов воздуха. Это предсказание получило признание специалистов только в 1996 г. с выходом статьи [8] и выпуском специального номера журнала The IBM Journal of Research and Development, целиком посвященного этой проблеме [13].

Однако до конца 90-х гг. данная проблема обсуждалась только в кругу профессионалов на специализиро-

ванных конференциях и на страницах научных журналов. Широкое внимание общественности проблема получила с выходом статей в популярных журналах «Форбс» [4] в 2000 г. и EE Times [10] в 2002 г. Вторая статья с драматическим названием «Инженеры считают коммерческие компоненты «небезопасными» для авиации» имела особенное влияние на общественность, так как показала, что проблема сбоев от одиночных частиц затрагивает безопасность каждого человека. В дальнейшем сообщения об обнаружении сбоев от одиночных частиц стали появляться регулярно.

Очень упрощенно механизм сбоя заключается в том, что заряженная частица, пролетая через активную область транзистора, ионизирует атомы кремния, создавая электронно-дырочные пары. Электрическое поле вблизи p-n-перехода растаскивает носители заряда, создавая в цепях транзистора импульс тока. Если импульс оказывается достаточно большим, то элемент памяти изменяет состояние и происходит сбой. В случае атмосферных нейтронов с веществом взаимодействуют и вызывают ионизацию либо ядра кремния, выбитые нейтронами, либо продукты распада ядра при взаимодействии с нейтроном. Среди специалистов нет единого мнения, как именно меняется вероятность сбоя отдельной ячейки памяти с уменьшением топологических норм [9]. Одни утверждают, что вероятность сбоя увеличивается, другие доказывают, что вероятность сохраняется примерно постоянной или даже уменьшается, однако, учитывая, что количество ячеек на кристалле удваивается каждые полтора-два года, увеличение частоты сбоев микросхемы в целом признается всеми. В настоящий момент крупнейшие производители микроэлектроники осознали угрозу, которую представляет воздействие одиночных частиц, в первую очередь атмосферных нейтронов, и развернули широкую деятельность по изучению эффектов сбоев, а также по изучению и практическому применению методов борьбы с ними в коммерческих изделиях.

8-РАЗРЯДНЫЕ МИКРОКОНТРОЛЛЕРЫ С ПОТРЕБЛЕНИЕМ 0 АМПЕР*

NEC

Семейство 78K0/Kx2-L

* ток потребления: 0,0000008 А
в режиме **Standby**
(тактовая частота 30 кГц)
в рабочем режиме 260 мкА
(внутренняя тактовая частота 1 МГц)

Характеристики

Расширенная аналоговая периферия

- до 2 операционных усилителей
- до 11 каналов АЦП 10-бит

часы реального времени

с током потребления 0,2 мкА

Встроенные тактовые генераторы:

- 4 МГц +/-2%
- 8 МГц +/-5%

Тактовая частота: до 10 МГц

ОЗУ: от 384 байта до 1 кбайт

Flash: от 4 до 32 кбайт

Кол-во выводов: от 16 до 48

Сравнение с ближайшими конкурентами



Ток потребления в режиме Standby
(внутренний генератор включен, Vcc=3 В)

nec@eltech.spb.ru

ОФИЦИАЛЬНЫЙ ДИСТРИБЬЮТОР NEC



www.eltech.spb.ru

■ Санкт-Петербург ул. Двинская, д.10, к.6 тел.: (812) 635-50-60 факс: (812) 635-50-70 info@eltech.spb.ru

■ Москва
(495) 788-5948
(495) 788-5946

■ Новосибирск
(383) 212-5874
(383) 212-5875

■ Екатеринбург
(343) 253-1707
(343) 253-1708

■ Ростов-на-Дону
(863) 220-3071
(863) 220-3072

■ Чебоксары
(8352) 563-878
(8352) 560-505

ПЕРВОКЛАССНЫЙ СЕРВИС ИЗ ПЕРВЫХ РУК

3. МЕТОДЫ БОРЬБЫ С ОДИНОЧНЫМИ СБОЯМИ

Методы борьбы с одиночными сбоями можно разделить на две группы. К первой относятся методы, уменьшающие вероятность возникновения сбоя в элементе памяти при попадании частицы в чувствительный объем. Методы второй группы призваны обеспечивать корректность выполняемой программы, если сбой все-таки произошел.

К первой группе относятся как технологические, так и схемотехнические методы. Из технологических методов можно назвать применение технологии КНИ (кремний на изоляторе), при которой объем чувствительной области существенно меньше, чем при стандартной объемной технологии. Соответственно, меньше величина собираемого заряда и вероятность, что он превысит критический уровень сбоя. Данные компании IBM [1] показывают, что схемы по КНИ технологии имеют в 5 раз лучшие показатели частоты сбоев, по сравнению с объемной технологией. Эксперименты, проводимые в НИИСИ РАН [14, 15], подтверждают этот вывод, причем зафиксировано преимущество схем на КНИ более чем на порядок.

К схемотехническим методам относятся методы построения ячеек, имеющих повышенную устойчивость к одиночным сбоям. Ярким примером таких ячеек можно считать 12-транзисторные ячейки типа DICE (Dual Interlocked Cell), которые позволяют исключить одиночные сбои, что подтверждается результатами экспериментов [16, 17]. Размер такой ячейки примерно в два раза больше стандартной, что приводит к повышению энергопотребления и снижению быстродействия. Обзор схемотехнических решений, позволяющих создать устойчивые к сбою ячейки, приведен в [6, 18].

Если сбой из-за попадания одиночной частицы все-таки произошел, необходимы меры, чтобы обнаружить и, по возможности, исправить ошибочное значение. Методы данной группы можно разделить на методы, применимые к регулярным структурам, таким как массивы памяти, регистровые файлы и тракты передачи данных, и методы, применимые к нерегулярным структурам, например автоматы конечных состояний, арифметические устройства, исполнительные конвейеры микропроцессора.

Методы обнаружения и исправления ошибок в регулярных структурах достаточно хорошо изучены и описаны во множестве книг и статей, как например в [6]. Основная идея данной группы методов заключается в том, что к защищаемому слову данных добавляется некоторое количество разрядов, значение которых вычисляется по определенному алгоритму в момент записи слова в память. При чтении значения дополни-

тельных разрядов вычисляются и сравниваются со считанным из памяти. Если во время хранения произошел сбой, то данная схема позволит это обнаружить. Простейшим примером является схема контроля четности, когда к слову добавляется один бит, вычисляемый как исключающее ИЛИ от битов данных. Схема контроля четности позволяет обнаруживать только одиночные сбои, не позволяя их корректировать. Если количество дополнительных разрядов увеличить, то станет возможным обнаружить и скорректировать большее количество сбоев в одном слове. На текущий момент наиболее популярной является схема контроля кодом Хемминга с обнаружением двойных и корректированием одиночных ошибок, которая применяется практически во всех современных микропроцессорах (ECC — Error Check & Correction).

Методы защиты нерегулярных схем более сложные и менее распространенные в коммерческих изделиях. Традиционно, специализированные системы, требующие повышенной надежности и устойчивости ко всякого рода сбоям, применяемые, например, в космосе, использовали схемы двойного (DMR — Dual Modular Redundancy) либо тройного (TMR — Triple Modular Redundancy) резервирования. В такой системе два либо три процессора работают параллельно друг с другом, и специальный узел сравнивает результаты их работы. В случае несовпадения формируется сигнал ошибки, и система выполняет требуемые действия по ее устранению.

Недостатком такого подхода для коммерческих систем является высокое значение самого чувствительного для данной области параметра — стоимости. В последнее время стали развиваться методы обеспечения сбоеустойчивости без полного дублирования аппаратных ресурсов. Особенность этих методов заключается в том, что для их реализации требуется детальное понимание алгоритма работы защищаемого блока. Краткий обзор этих методов дается в следующем разделе при рассмотрении микропроцессоров компании IBM, которые можно считать воплощением самых современных достижений в области коммерческих сбое- и отказоустойчивых микропроцессоров

4. ПРИМЕРЫ ПРИМЕНЕНИЯ МЕТОДОВ БОРЬБЫ СО СБОЯМИ В ИЗДЕЛИЯХ КОМПАНИИ IBM

Следует признать, что лидером по разработке сбоеустойчивых систем является компания IBM, которая создает такие системы с конца 60-х гг. Из последних шедевров, созданных компанией, можно назвать RISC-микропроцессор Power6, анонсированный в мае 2007 г.,

и CISC-микропроцессор Z10, представленный в феврале 2008 г. [3, 12]. Каждый из этих процессоров реализован по технологии 65 нм КНИ, содержит 4 вычислительных ядра. Рабочая частота достигает значений 5,0 ГГц и 4,4 ГГц, соответственно. Данные параметры производительности и функциональной сложности находятся на уровне лучших достижений, в соответствии с современным уровнем развития микроэлектроники. При этом микропроцессоры обладают уровнем сбоеустойчивости, намного превосходящим показатели конкурирующих изделий подобного класса. Несмотря на то, что архитектурно это совершенно разные микропроцессоры (один RISC другой CISC), идеология защиты от одиночных сбоев у них очень похожая.

Во-первых, следует отметить повсеместное применение схем ECC. В частности, схемы ECC покрывают кэш-память всех уровней, внешнюю память, а также тракты данных внутри кристалла и на всех каналах, соединяющих микропроцессор с внешним миром.

Во-вторых, в управляющую логику процессорного ядра внедрены специальные структуры по проверке логической стойкости (*logical consistency checkers*), призванных отслеживать корректность работы автоматов состояний и других элементов управления. К примеру, если автомат переходит в недопустимое состояние или совершил недопустимый переход из одного состояния в другое, такая структура обнаруживает это и выдает сигнал ошибки. В процессоре Z10 реализовано около 20 тыс. таких элементов.

Арифметические устройства защищены от одиночных сбоев с помощью схем вычисления и контроля остатка (*residue checking*). Идея данного решения заключается в том, что остаток (*residue*) результата арифметической операции может быть вычислен на основании остатков входных операндов. Соответственно, схема позволяет проверить корректность выполнения операции, причем размер такой схемы занимает незначительную часть по сравнению с размером самого арифметического устройства. Для некоторых узлов применяются схемы вычисления и контроля бита четности результата на основании битов четности входных операндов, называемые *parity prediction circuits*.

Отличительной особенностью данных микропроцессоров является наличие особого блока R-unit, создающего и сохраняющего архитектурное состояние (*CP-checkpoint*) в особой памяти после завершения каждой команды или группы команд, запускаемых в одном такте. Перед сохранением каждой контрольной точки производится проверка сигналов ошибки от всех узлов микропроцессора.

При обнаружении такого сигнала запускается процедура восстановления последнего корректного архитектурного состояния с перезапуском команды. Если обнаруживается, что причиной ошибки явился не сбой, а отказ, то запускается процедура передачи последнего сохраненного архитектурного состояния в резервное вычислительное ядро с передачей ему управления. Все эти операции выполняются прозрачно для программы и не приводят к прерыванию выполнения программы.

Следует отметить, что в Power6 и Z10 реализован такой метод защиты от двойных сбоев в памяти как скрабирование памяти (*memory scrubbing*). Суть метода в том, что если обращение к ячейке, защищенной четностью или ECC, происходит достаточно регулярно, то одиночные сбои в памяти не представляют серьезной опасности, т.к. при этом происходит обнаружение ошибки и ее коррекция. Однако если к ячейке, в которой произошел сбой, длительное время отсутствуют обращения, то появляется вероятность, что в ней же произойдет повторный сбой, который схема коррекции уже не сможет исправить. Для серверов, которые должны работать недели и месяцы без перезагрузки, это может стать серьезной проблемой. Соответственно, в процессоре реализованы специальные аппаратные средства, способные периодически (период задается программно) считывать и корректировать как внутреннюю кэш-память, так и внешнюю динамическую память. Эти действия выполняются в промежутках времени, когда проверяемый ресурс свободен и, соответственно, потери производительности не происходит.

Помимо упомянутых, в этих микропроцессорах реализовано множество других решений по повышению сбоеустойчивости, таких как динамическая замена линий связи с памятью, удаление отказавшей строки кэш-памяти, схема переключения на резервный генератор тактовых импульсов в случае отказа основного и пр., подробное описание которых выходит за рамки статьи.

Проведенные компанией IBM исследования микропроцессора Power6 на пучке нейтронов показали, что из зафиксированных более чем 5 тыс. сбоев 99,80% были успешно обнаружены и исправлены без остановки выполняемой программы; 0,19% ошибок были обнаружены и потребовали остановки программы и только 0,01% ошибок привело к потере данных, что примерно соответствует частоте ошибок один раз в 1 000 лет [3].

ЗАКЛЮЧЕНИЕ

Помимо рассмотренных микропроцессоров компании IBM, элементы защиты от сбоев реализованы практически во всех коммерческих микропроцессорах, особенно применяемых на рынке серверов, где потеря данных может привести к серьезным финансовым убыткам. Можно упомянуть такие серверные микропроцессоры как SPARC64 V компании Fujitsu, Itanium2 компании Intel, Opteron компании AMD. Стали появляться компании, специализирующиеся на разработке сбоеустойчивых решений, как например компания Yogitech, на оригинальных решениях которой фирма ARM в 2008 г. выпустила сбоеустойчивую версию своего популярного синтезируемого процессорного ядра Cortex-M3 [2].

Все это показывает, что ведущие мировые лидеры в области микроэлектроники осознали, что по мере снижения проектных норм и увеличения числа элементов на кристалле одиночные сбои действительно превращаются в серьезное препятствие и необходимо предусматривать меры по их нейтрализации на самых ранних стадиях разработки, несмотря на дополнительные затраты на разработку и повышение стоимости конечного изделия.

ЛИТЕРАТУРА

1. Cannon E., Reinhardt D. et al. SRAM SER in 90, 130 and 180 nm Bulk and SOI Technologies//42nd Annual Reliability Physics Symposium, 2004, pp. 300—304.

2. Halfhill T. Fault tolerance for Cortex-M3//Microprocessor Report, V.22, №5, 2008, pp.1—11.

3. Kevin R., Pia N. et al. Fault-Tolerant Design of the IBM Power6 Microprocessor//IEEE Micro, V. 28, № 2, 2008, pp. 30-38.

4. Lyons D. SUN Screen//Forbes, November 13, 2000//www.forbes.com/global/2000/1113/0323026a.html.

5. [5] May T. C., Woods M. H. Alpha-Particle-Induced Soft Errors in Dynamic Memories//IEEE Trans. on Elect. Devices, V.26, № 1, 1979, pp. 2—9.

6. Mukherjee S. Architecture Design for Soft Errors, Elsevier, 2008, 337 p.

7. Mukherjee S. Computer glitches from radiation: A problem with multiple solutions//Microprocessor Report, V.22, #5, 2008, pp.12—19.

8. Normand E. Single Event Upset at Ground Level//IEEE Trans. on Nuclear Sc., V. 43, № 6, 1996, pp. 2742—2750,

9. Normand E. Single Event Effects in Avionics and on the Ground//Int. Journal of High Speed Electronics and Systems, V.14, №2, 2004. pp. 285—298.

10. Rea D. Engineer calls off-the-shelf components 'unsafe' for aircraft//EE Times, September 23, 2002.

11. Ziegler J., Lanford W. The Effect of Cosmic Rays on Computer Memories//Science, V. 206, №. 776, 1979.

12. Webb C. IBM z6 — The Next-Generation Mainframe Microprocessor, IBM Systems & Technology Group, 2007//speleotrove.com/decimal/IBM-z6-mainframe-microprocessor-Webb.pdf.

13. IBM Journal of Res. and Develop., V. 40, 1996//www.research.ibm.com/journal/rd40-1.html.

14. Баранов С., Василегин Б., Осипенко П. и др. Исследование одиночных эффектов в микроконтроллерах серии 1890 при воздействии протонов//Радиационная стойкость электронных систем «СТОЙКОСТЬ-2006», научно-технический сборник, вып. 9, М.: МИФИ, 2006, С.101—103.

15. Василегин Б., Емельянов В., Осипенко П. и др. Исследование чувствительности микропроцессоров к одиночным сбоям при воздействии осколков деления радионуклида калифорний-252.//ВАНТ, серия «Физика радиационного воздействия на радиоэлектронную аппаратуру», Научно-технический сборник, вып. 3—4, М.: НИИП, 2006.

16. Василегин Б., Емельянов В., Осипенко П. и др. Исследование чувствительности ячеек КНИ СОЗУ различных типов к воздействию тяжелых заряженных частиц//Радиационная стойкость электронных систем «СТОЙКОСТЬ-2009» научно-технический сборник, вып. 9, М.: МИФИ, 2009, С. 75—77.

17. Василегин Б., Емельянов В., Осипенко П. и др. Исследование влияния конструктивно-технологических параметров КНИ СОЗУ на чувствительность к одиночным сбоям при воздействии тяжелых заряженных частиц//ВАНТ, серия «Физика радиационного воздействия на радиоэлектронную аппаратуру», научно-технический сборник, вып. 1, М.: НИИП, 2008, С. 133—138.

18. Ельчин И., Шагури И., Осипенко П., Василегин В. Аппаратные средства введения помехоустойчивого кодирования для повышения отказоустойчивости СБИС оперативной памяти//Известия вузов. ЭЛЕКТРОНИКА, Научно-технический журнал, №4, М.: 2006, С. 65—71.

ООО
СМП



ИНТЕРНЕТ-МАГАЗИН

www.SMD.ru

электронные
**для поверхностного
 монтажа**

НОВОЕ В ПРОГРАММЕ ПОСТАВОК

Двух- и трёхцветные светодиоды 0605

Алюминиевые конденсаторы большой ёмкости, до 1000 мкФ



Москва, ул. Балтийская, 13; e-mail: sale@smd.ru
 Тел.: (499) 158-7396, (495) 940-6244, (499) 943-8780